

Ver 2.5

FPGA 配置 PROM 电路

产品型号：YK18V04Q/C/L

元坤芯片事业部

联系人：刘先生（13621148533）

www.ic112.com / www.777ic.com

版本控制页

版本号	发布日期	更改章节	更改说明	备注
V1.0	2011.8			
V2.0	2014.3	7.1	更新外形尺寸和管脚列表	
V2.1	2015.10	5.1 5.9 6	1. 添加上电过程 2. 更改 JTAG 协议兼容描述 3. 更新动态电流条件未更新	
V2.2	2017.9		1. 增加 ECQ 封装 2. 修订时序图	
V2.3	2018.1		1. 增加鉴定信息	
V2.4	2018.2		更换模板	
V2.5	2018.11		修改产品注意事项	

目 录

一、产品特性.....	3
二、产品概述.....	3
三、结构图	2
四、引脚描述.....	2
五、产品描述.....	3
5.1 连接方法.....	3
5.2 上电过程.....	4
5.3 工作时序图.....	4
5.4 初始化FPGA配置.....	4
5.5 配置模式.....	4
5.6 级联配置应用	4
5.7 有效复位.....	5
5.8 待机模式.....	5
5.9 在线编程.....	5
5.10 JTAG协议兼容	6
六、电参数	6
6.1 绝对最大额定值	7
6.2 推荐工作条件	8
七、封装说明.....	9
7.1 CQFP44 外形尺寸及管脚排列	9
7.2 CLCC44 外形尺寸及管脚排列	10

一、产品特性

- **在线可编程 3.3V 4M 位 FLASH 型 PROM**
 - 适用于元坤芯片事业部和Xilinx公司的FPGA配置
 - 数据保持时间：20年
 - 全温区范围内支持超过2000次在线3.3V电压编程/擦除
- **可靠性指标**
 - 工作温度：-55℃ ~ +125℃
 - 抗静电能力（人体模型）：2000V
 - GJB597A-96中规定的B级
 - 支持部分 IEEE 1149.1标准边界扫描（JTAG）指令
 - 支持JTAG命令初始化
- **支持多种配置模式**
 - 串行/并行配置频率最高可达30MHz
- **YK18V04Q/ECQ 采用 CQFP44 封装，YK18V04L采用 CLCC44 封装**
- **兼容性**
 - 完全可替代Xilinx公司PC44封装的XC18V04
 - 完全可替代Xilinx公司VQ44封装的XQ18V04
 - 可实现管脚到管脚的替换，不需要修改包括PCB在内的整个设计

二、产品概述

YK18V04是一款兼容国外Xilinx公司XQ18V04的PROM产品，工作电压3.3V，是一款可反复擦写、非易失的在线可编程4M位FLASH型PROM器件，可使用在各军用设备中存储大规模FPGA的配置码流。

当FPGA工作在主串模式下，配置时钟CCLK驱动PROM，当 \overline{CE} 和 $\overline{OE}/\overline{Reset}$ 有效一段时间之后，YK18V04的数据通过D0端发送至FPGA的Din端。在每个配置时钟CCLK的上升沿，YK18V04依次发送1位数据。当FPGA处于从串配置模式时，由外部时钟驱动FPGA与YK18V04。并行配置模式与串行配置模式类似，此时 YK18V04输出数据端口为D0~D7。

用前级器件 $\overline{CE0}$ 端驱动后级器件的 \overline{CE} 端，可以实现多个器件级联使用。此时所有器件的时钟端和数据端分别并接在一起。

三、结构图

YK18V04结构如图1所示，包括三个主要的逻辑模块和IO模块：

- ◇ 控制和JTAG接口控制模块
- ◇ 并行和串行接口控制模块
- ◇ 存储体

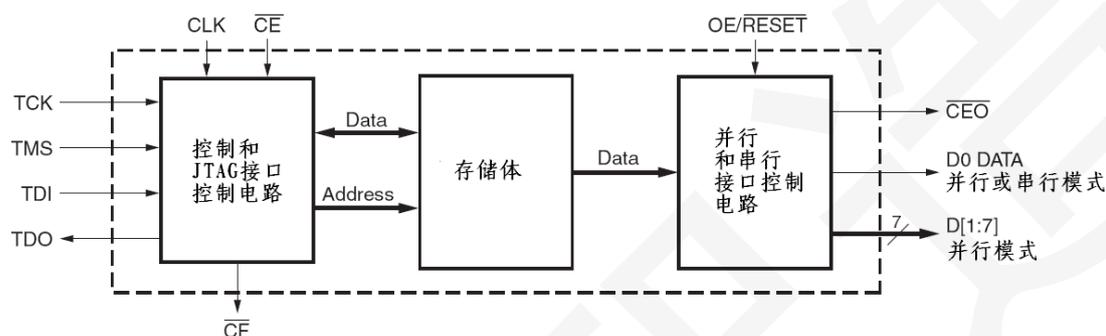


图1 YK18V04结构图

四、引脚描述

表1 YK18V04 各端口功能描述

Pin Name	功能	Pin 描述
D0~D7	数据输出	D0~D7 是并行配置 FPGA 所用到的输出,在串行工作模式下,D1-D7 可不连接,默认维持高阻态
CLK	数据输入	如 \overline{CE} 为低, OE/\overline{Reset} 为高, 每个 CLK 上升沿时内部地址计数器累加
OE/ \overline{RESET}	数据输入	输入低电平, 可以保持地址计数器处于复位状态, DATA 输出端保持高阻态。该端口是双向结构, 当 PROM 复位时, 输出低电平。该端口的极性不可编程。
	数据输出	
	输出使能	
\overline{CE}	数据输入	\overline{CE} 为高, PROM 地址计数器复位, DATA 输出端高阻, 进入低功耗待机模式。
\overline{CF}	数据输出	开漏输出, 通过 JTAG CONFIG 指令可以让 \overline{CF} 端输出一个低脉冲, 实现不掉电对 FPGA 进行初始化配置。
	输出使能	
\overline{CEO}	数据输出	器件级联使用时, \overline{CEO} 连接链路中下一个 PROM 的 \overline{CE} 端, 仅当 \overline{CE} 为低、 OE/\overline{RESET} 输入为高, 内部地址计数器累加超过最大计数值时, \overline{CEO} 输出低信号。当 OE/\overline{RESET} 变低或者 \overline{CE} 变高时, \overline{CEO} 回到高状态。
	输出使能	

GND		接地端
TMS	模式选择	当 TCK 上升沿时，TMS 的状态决定 TAP 控制器的状态转换。内部有 50K 欧的上拉电阻，端口不用时上拉至逻辑高。
TCK	时钟	JTAG 时钟，为 TAP 控制器，JTAG 测试和配置提供时钟。
TDI	数据输入	所有 JTAG 指令和数据寄存器的输入端。内部有 50K 欧的上拉电阻，端口不用时上拉至逻辑高。
TDO	数据输出	所有 JTAG 指令和数据寄存器的串行输出端。内部有 50K 欧的上拉电阻，端口不用时上拉至逻辑高。
Vccint	输入核电压	为内部逻辑和输入 buffer 提供 3.3V 正向电压
Vcco	I/O 电压	为输出驱动提供 3.3 正向电压

五、产品描述

5.1 连接方法

图 2 是主串模式下 FPGA 和 YK18V04 的连接示意图。

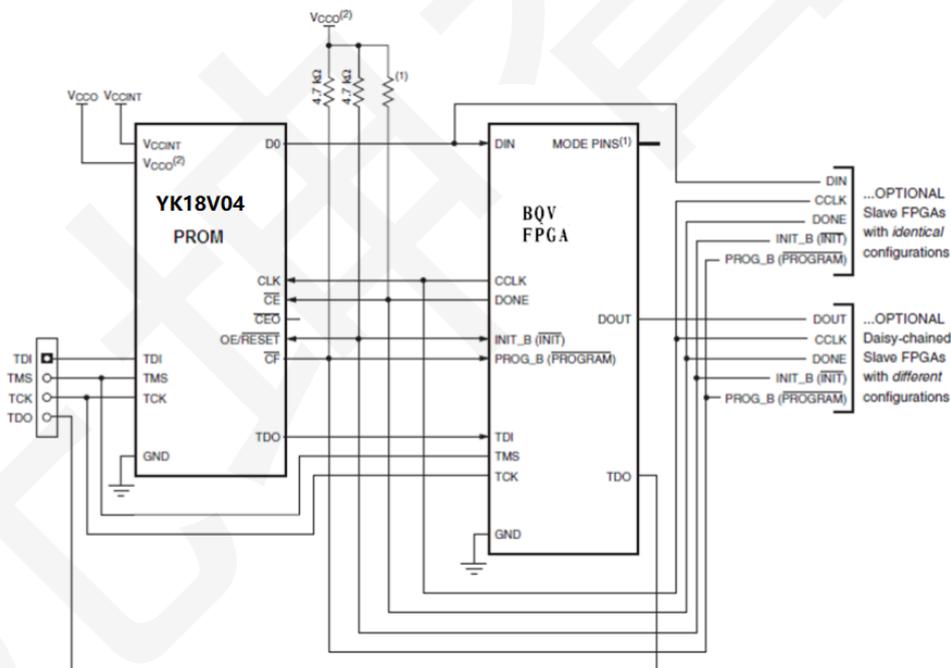


图 2 主串模式下 FPGA 和 YK18V04 的连接示意图

注 1: 参考相应 FPGA 手册。

- YK18V04 的数据输出驱动 FPGA 的数据输入端
- 在 FPGA 主串模式下，CCLK 驱动 YK18V04 的时钟 CLK
- YK18V04 组成 PROM 链使用时， $\overline{CE0}$ 驱动下一 PROM 的 \overline{CE} 端

- 所有 PROM 的 $\overline{OE}/\overline{Reset}$ 都连接至 FPGA 的 \overline{INIT} 端, 以确保在 FPGA 开始配置之前, PROM 地址计数器处于复位状态
- YK18V04 的 \overline{CE} 端可以使用 FPGA 的 DONE 端来驱动。
- 在 YK18V04 工作在串行模式下, D1~D7 可以悬空不连接, 此时端口处于高阻
- 并行模式和从串模式比较类似, 每个时钟数据输出 8 位, 而不是 1 位

5.2 上电过程

V_{CCINT} 及 V_{CC0} 均连接至 3.3V 电压, 且无上电顺序要求, 板级应用过程中, 可以将两电压管脚连接到一起。

5.3 工作时序图

YK18V04 \overline{CE} 和 $\overline{OE}/\overline{Reset}$ 有效一段时间之后, YK18V04 的数据会在第 2 个时钟上升沿通过 D0 端发送至 FPGA 的 Din 端, 工作时序如图 3。

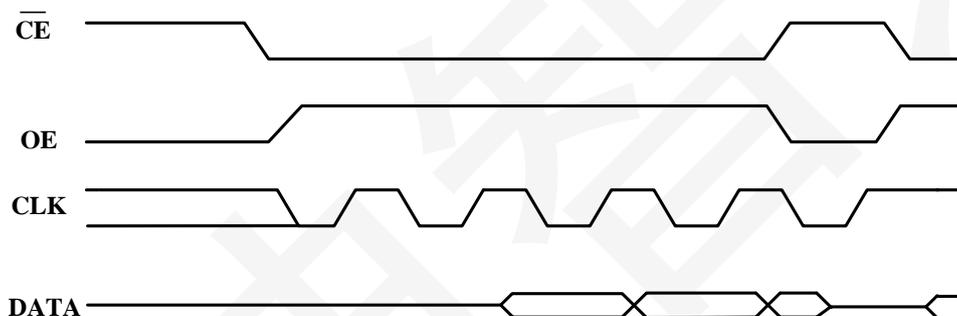


图 3 PROM 工作时序图

5.4 初始化 FPGA 配置

YK18V04 的 \overline{CF} 端口是开漏输出, 在使用时接 FPGA 的 $\overline{PROGRAM}$ 端, 连接方式见图 2。 \overline{CF} 端口在 YK18V04 编程完成后可输出一个低脉冲, 复位 FPGA 并对 FPGA 进行初始化。

5.5 配置模式

YK18V04 提供串行和并行配置模式, 具体工作模式由内部的用户控制寄存器决定, 通过 Xilinx 公司 iMPACT 软件可以访问此寄存器, 默认的工作模式为串行配置模式。

5.6 级联配置应用

当多个 FPGA 组成菊花链串行配置或者单个 FPGA 需要更大容量的配置存储空间时, 需要级联多个 YK18V04 以满足使用要求, 图 4 是菊花链配置模式的原理框图。

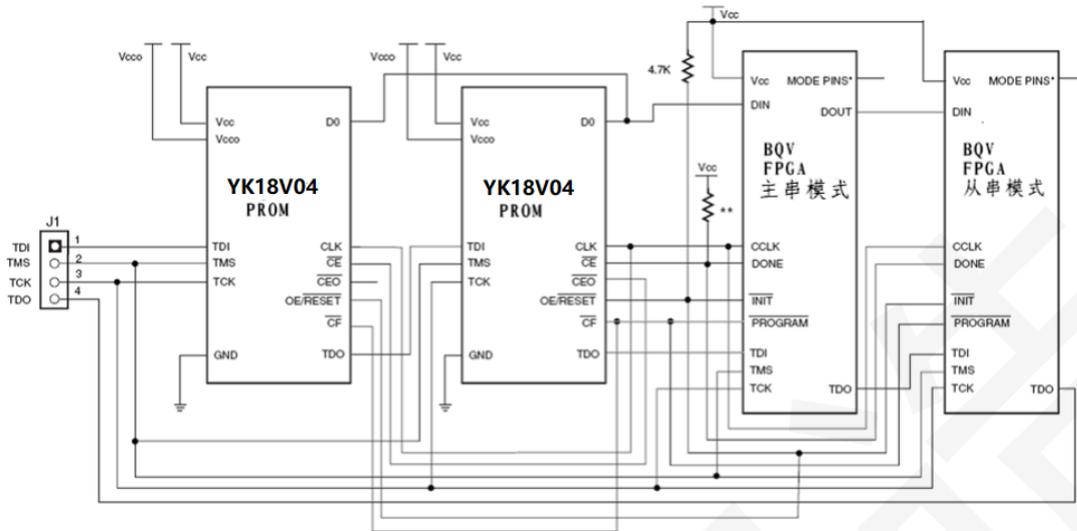


图 4 菊花链配置模式的原理框图

YK18V04 器件级联使用时，将 \overline{CE} 端接至下一器件的 \overline{CE} 端，所有 YK18V04 的时钟和数据输出都分别连接在一起。当第一个 YK18V04 的最后一个数据读出后，下一时钟信号到来时 \overline{CE} 输出变低同时数据输出变为高阻，第二个 YK18V04 的 \overline{CE} 端收到低电平信号后，使能数据输出。

5.7 有效复位

在上电期间， OE/\overline{Reset} 在 YK18V04 激活（大约需要 1mS）之前一直维持低电平，之后变为高电平，数据可在时钟上升沿输出。应用时， OE/\overline{Reset} 和 FPGA 的 \overline{INIT} 连接，要求外接上拉电阻，确保 OE/\overline{Reset} 和 FPGA 的 \overline{INIT} 两信号全部有效后，才开始配置操作。如果电源电压低至 2.0V 以下，YK18V04 复位， OE/\overline{Reset} 信号变低。 OE/\overline{Reset} 端的输入输出方向是不能编程的。

5.8 待机模式

当 \overline{CE} 端拉高时，YK18V04 进入待机模式。此时不管 OE/\overline{Reset} 输入什么状态，输出都维持高阻态，JTAG 端口的 TMS、TDI、TDO 维持高阻态或者是高电平。

5.9 在线编程

YK18V04 能够通过 JTAG 进行单独或者级联编程，可以使用以下开发环境：

- Xilinx 公司 iMACT 软件
- 兼容 JTAG 协议的开发系统
- 能够模拟 JTAG 指令的微处理器接口

YK18V04 可以使用 Xilinx 公司 HW-130、MultiPRO 或第三方编程器。YK18V04 的 JTAG 端口工作时序波形如图 5 所示：

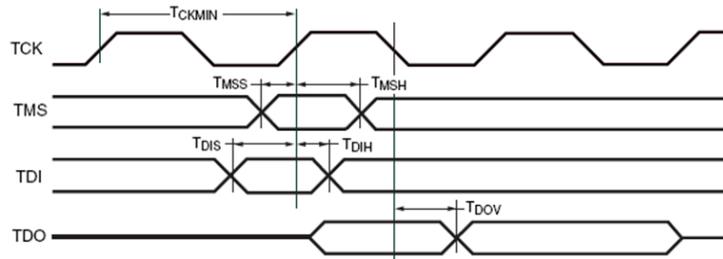


图 5 JTAG 端口工作时序图

5.10 JTAG 协议兼容

YK18V04 部分兼容 IEEE 标准 1149.1 边界扫描协议，提供边界扫描指令所需的测试访问端口（TAP）。除了进行基础的 BYPASS 操作，JTAG 接口还可以完成在线编程、擦除和校验操作。

YK18V04 边界扫描寄存器宽度为 8bit，所支持的指令包括 BYPASS、IDCODE、USERCODE 和 CONFIG，具体指令码和功能定义如表 2。

表 2 边界扫描指令

边界扫描指令	二进制代码(7:0)	说明
必须的指令		
BYPASS	11111111	使能旁路寄存器
操作指令		
IDCODE	11111110	使能 shifting out of IDCODE
USERCODE	11111101	使能用户自定义的32bit USERCODE
YK18V04特殊的指令		
CONFIG	11101110	初始化FPGA，把 \overline{CF} 拉低对FPGA进行配置.

YK18V04 器件的 IDCODE 寄存器值定义为 0x05026093。USERCODE 寄存器内容可由用户定义，标示当前器件内编程的内容，编程前默认值为 0xFFFFFFFF。

六、电参数

表 3 YK18V04 的电参数表

参数	符号	条件 (除另有规定外, $3.0V \leq V_{ccint} \leq 3.6V$, $3.0V \leq V_{cco} \leq 3.6V$, $-55^{\circ}C \leq T_a \leq 125^{\circ}C$)	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	$I_{OH} = -4mA$, $V_{CCINT} = 3.0V$, $V_{CCO} = 3.0V$	2.4	—	V

输出低电平电压	V_{OL}	$I_{OL}=4mA, V_{CCINT}=3.0V, V_{CCO}=3.0V$	—	0.4	V
输入高电压漏电流	I_{IH}	$V_{CCINT}=3.6V, V_{CCO}=3.6, V_{IN}=3.6V$	—	10	μA
输入低电压漏电流	$ I_{IL} $	$V_{CCINT}=3.6V, V_{CCO}=3.6, V_{IN}=0V$	—	10	μA
JTAG 端口输入端漏电流	$I_{IL_{JTAG}}$	$V_{CCINT}=3.6V, V_{CCO}=3.6V, V_{IN}=3.6V$	-100	—	μA
输出高阻态漏电流	I_{OZH}	$V_{CCINT}=3.6V, V_{CCO}=3.6V, V_{IN}=3.6V$	-10	10	μA
输入高电平电压	V_{IH}	$V_{CCINT}=3.3V, V_{CCO}=3.3V$	2.0	—	V
输入低电平电压	V_{IL}	$V_{CCINT}=3.3V, V_{CCO}=3.3V$	—	0.8	V
静态电流	I_{CCSTA}	$V_{CCINT}=3.6V, V_{CCO}=3.6V$	—	20	mA
动态电流	I_{CCDYN}	$V_{CCINT}=3.6V, V_{CCO}=3.6V, f=30MHz$	—	50	mA
输入/输出电容	C_{in}/out	$f=1.0MHz, T_A=25^\circ C$	—	15	pF
功能测试	—	$V_{CCINT}=3.3V, V_{CCO}=3.3V, f=30MHz$	—	—	—
TDO 相对于 TCK 的输出延迟	T_{DOV}	$V_{CCINT}=3.0V, V_{CCO}=3.0V$	—	25	ns
D0~D7 相对于 CLK 的输出延迟	T_{CAC}		—	25	ns

6.1 绝对最大额定值

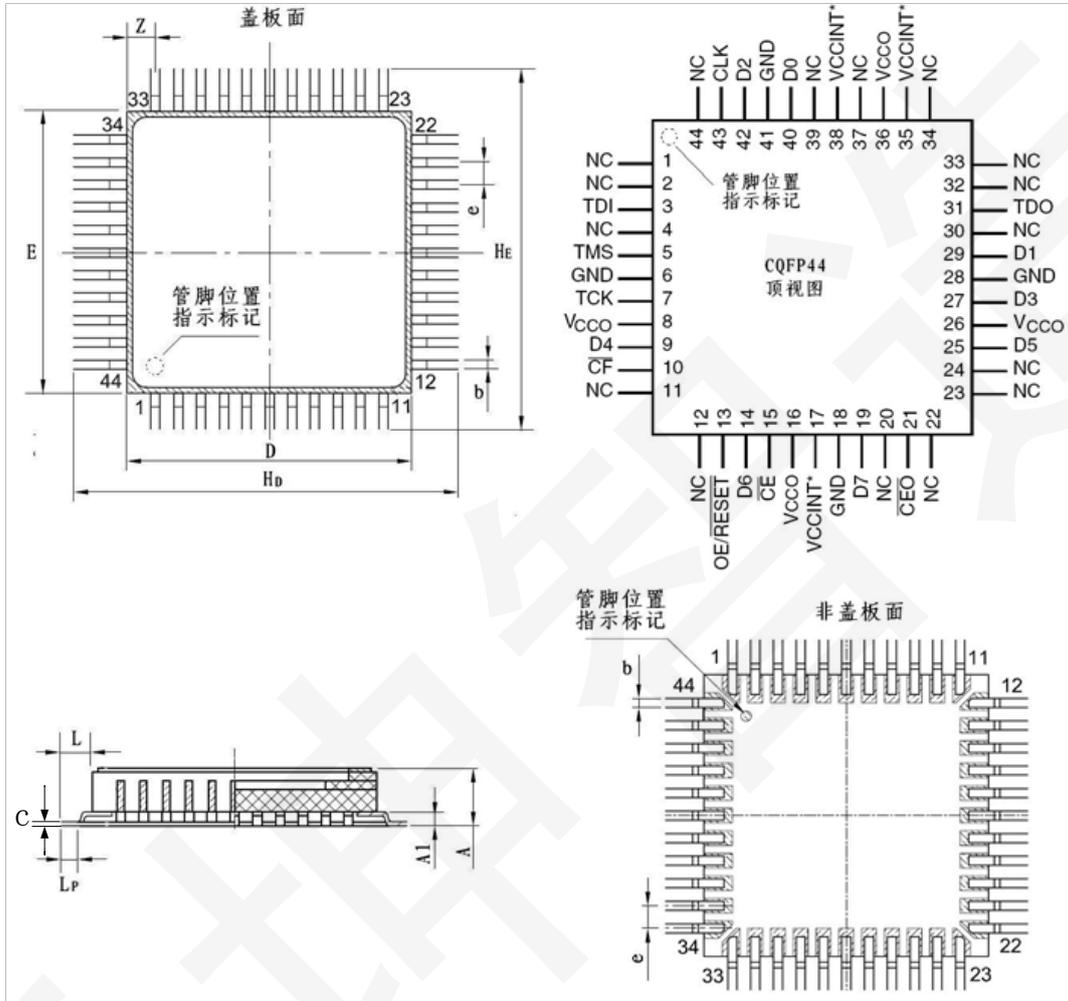
核电源电压范围 (V_{CCINT})	-0.5V~+4.0V
IO电源电压范围 (V_{CCO})	-0.5V~+4.0V
DC输入电压范围 (V_{IN}) 内部阈值	-0.5V~+5.5V
施加在三态端电压 (V_{TS})	-0.5V~+5.5V
引线焊接温度CLCC44 (T_h) 10s	220°C
引线焊接温度CQFP44 (T_h) 10s	260°C
热阻, 结到壳 (θ_{JC})	19°C/W
结温 (T_j)	150°C
储存温度 (T_{STG})	-65°C~+150°C
数据存储时间 (T_{DR})	20 年
最大擦除/编程次数 (T_{PE})	2000 次

6.2 推荐工作条件

核电源电压范围 (V_{CCINT})	3.0V~3.6V
I/O电源电压范围3.3V模式 (V_{CC0})	3.0V~3.6V
输入高电平电压 (V_{IH})	2.0V~3.6V
输入低电平电压 (V_{IL})	0V~0.8V
工作温度范围 (T_c)	-55°C~+125°C

七、封装说明

7.1 CQFP44 外形尺寸及管脚排列

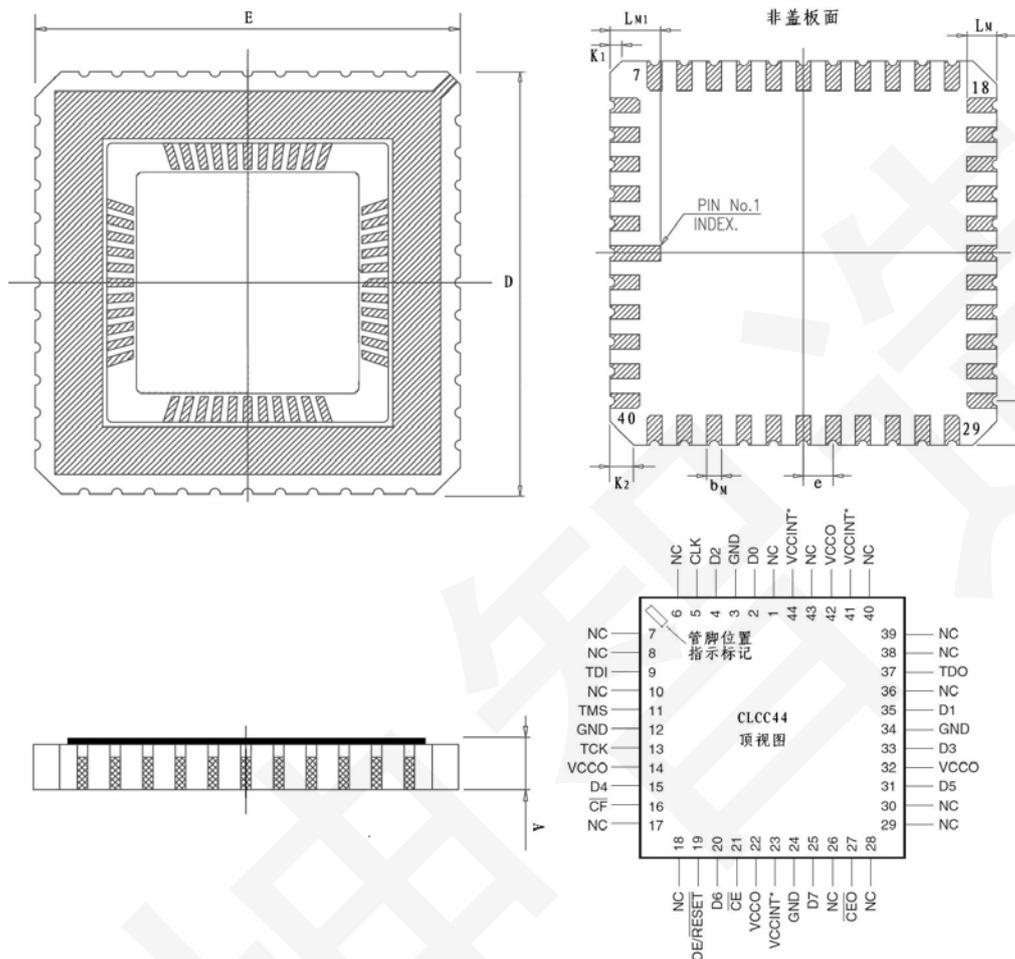


单位：毫米

尺寸符号	最小	公称	最大
A	1.90	—	2.90
A1	0.35	—	—
b	0.15	—	0.45
c	0.11	—	0.2
e	—	0.80	—
D/E	9.70	—	10.30
HD/HE	12.00	—	13.50
L	1.30	—	1.80
Lp	0.80	—	1.20
Z	—	—	1.27

7.2 CLCC44 外形尺寸及管脚排列

YK18V04器件CLCC44外形尺寸和如下：



单位：毫米

	最小	公称	最大
A	1.63	—	3.05
bM	0.56	—	0.71
e	—	1.27	—
K1	—	—	0.63
K2	0.77	—	—
LM	1.14	—	1.40
LM1	1.95	—	2.36
D	16.25	—	16.76
E	16.25	—	16.76
Z	1.70	—	2.10