目 录

1. YKM32F407XX 芯片功能设计指标.....3
2. 引脚说明.....4
2.1. 引脚定义.....4
2.2. 引脚排布.....8
2.3. 封装尺寸.....9
3. 芯片结构图.....10
4. 芯片功能描述.....10
5. 功能模块设计.....11
5.1. 总体设计介绍.....11
5.2. 存储地址映射.....13
5.2.1. 介绍.....13
5.2.2. 存储映射表格.....13
5.3. 各功能模块详细介绍.....16
5.3.1. 芯片配置模块（CCM）.....16
5.3.2. IO 控制模块（IO_CTRL）.....17
5.3.3. 时钟管理模块（CPM）.....18
5.3.4. 复位模块（RESET）.....20
5.3.5. 中断控制模块（NVIC）.....21
5.3.6. 可编程中断定时模块（PIT）.....24
5.3.7. 数模转换模块（DAC）.....24
5.3.8. 直接数据传输模块（DMA）.....26
5.3.9. 边沿检测模块（EPORT）.....27
5.3.10. 脉宽调制模块（PWM）.....28
5.3.11. 增强型脉宽调制模块（ePWM）.....29
5.3.12. 实时计时模块（RTC）.....31
5.3.13. 普通计时模块（TC）.....32
5.3.14. 模数转换模块（ADC）.....33
5.3.15. I2C 模块（I2C）.....35

5.3.16. SPI 模块（SPI）.....36
5.3.17. SCI 模块（SCI）.....38
5.3.18. 同步串行接口模块（SSI）.....39
5.3.19. 嵌入式 Flash 模块（EFlash）.....41
5.3.20. 频率测试模块（Frequency_Test）.....42
5.3.21. PCI 模块（PCI）.....43
5.3.22. 看门狗模块（WDT）.....43
5.3.23. MAC 模块（MAC）.....44
5.3.24. 外部存储接口模块（MIM）.....46
5.3.25. BCH 模块（BCH）.....46
5.3.26. Cache 模块（Cache）.....47
5.3.27. CAN 模块（CAN）.....48
5.3.28. 温度检测模块（TD）.....50
5.3.29. XILINX JTAG 模块（AHB2JTAG）.....50

1. YKM32F407XX芯片功能设计指标

表 1-1 微处理器功能设计指标

实现功能	功能描述
CPU	采用ARM Cortex-M4内核，指令集兼容Cortex-M4的Thmub-2指令集的32位处理器；三级流水，独立的指令、数据以及额外的外设总线的哈佛架构；32位AHB总线接口；支持分支预测的内部预期单元；典型情况下CPU时钟频率可达200MHz；带锁相环（PLL），可接入4MHz及以上外部晶振作为时钟源，支持内部时钟源（系统时钟可以通过晶振进行倍频得到）；带看门狗，可触发软复位；可配置的嵌套向量中断控制器（NVIC），每个中断都支持优先级编程；带FPU浮点协处理器；支持SWD和JTAG在线调试。带有256KB的指令cache和256KB的数据cache。
中断控制器	可配置的中断数量，可配置1-240个中断；每个中断均支持可编程优先级；支持电平中断和脉冲中断；可动态重新分配中断优先级；可将优先级值按域分成优先级组；支持中断末尾连锁；支持外部不可屏蔽中断。
FLASH	1MB的片上Flash；内部通过cache的方式实现256KB的零等待空间；支持64bit的双字编程、页擦除、整块擦除。
RAM	128KB的片上RAM；96KB的CCM。
Xilinx JTAG	基于Xilinx的XVC协议，支持主机在远程通过以太网将JTAG命令发送至目标FPGA开发板，远程对开发板进行下载和调试。
ADC	3个ADC模块，每个ADC有8个独立输入通道；支持12bit分辨率；采样速度1MSample/s；输入参考电压和DAC的参考电压一致。
DAC	2个DAC模块，可配置成8位或12位模式；可以和DMA联合使用；输入数据支持左对齐和右对齐；输入参考电压和ADC的参考电压一致。
定时器	16路PWM-Timer。每两路PWM共享预分频器、分频器和死区发生器；可编程周期和占空比；支持捕获功能；
SPI	4路SPI；全双工、同步和串行传输；可查询状态标识；可产生中断给CPU；可配置主、从模式；
CAN	2路；支持最高波特率1Mbit/s；支持CAN总线协议2.0A/B；32个报文对象，每个报文对象都有独立的标识符掩码；可屏蔽中断；支持回环模式。
UART	3路；支持起始位、奇偶校验位、停止位等配置；支持多种标准传输速率配置。
IIC	至少2路；支持Master模式和APB总线接口；至少有两个独立的4*1字节的数据缓存；支持对非法开始和停止信号的检测；支持可编程错误恢复功能、对开始信号、应答信号、停止信号的产生和检测。
DMA	16个独立通道；支持Memory-to-Memory、Memory-to-Peripheral、Peripheral-to-Memory以及Peripheral-to-Peripheral；高级的SG方式配置寄存器；每个通道配备独立的缓冲空间；支持8-、16-、32-bit接口设备。

实现功能	功能描述
内置温度传感器	支持温度测量模式、高低温监测模式和单点温度测试模式；精度±5℃；
PIT	2路32位计时器；每个通道均有独立的寄存器可读取当前计数值；到达设定的计数值时产生中断；每个通道都要有独立寄存器设置目标计数值；每个通道的计数功能要能独立进行使能控制。
串行Flash控制器	支持四位数据线的串行NOR Flash；可通过boot窗口直接访问Flash；可通过可配置的存储器地址映射区域直接访问Flash；直接访问Flash通过cache加速；
NAND Flash控制器	支持8位宽的NAND Flash存储器；支持对NAND Flash数据的实时检测错误和纠错；支持大于2Gbit的存储容量；硬件自动纠错；
高级PWM定时器	16位的计数器；16位可编程预分频器；最大四个独立通道；可编程的死区互补输出；带紧急刹车功能控制；用于外部信号同步或多个Timer串联同步的同步控制逻辑；灵活的中断和DMA请求；
I2C	完全兼容I2C总线标准；支持主、从模式；Multiple-Master操作；软件可编程64种不同的串行时钟频率；中断驱动，Byte-by-Byte数据传输；裁决器失效的中断自动切换模式（从Master切换到Slave）；传输完成和读取配置中断；启动和停止信号的产生和检测；重复启动信号产生；应答位的产生和检测；总线忙侦测；
RTC	装载时间数据至秒、分、时、日计数器中；从秒、分、时、日计数器中读取时间数据；支持闹钟设置；支持中断源：秒、分、时、日、可编程闹钟、1KHz/32KHz周期中断；
10M/100M以太网控制器	符合IEEE 802.3-2005标准；支持10M、100M数据传输速率；支持全双工、半双工；支持MII、RMII接口；支持MDIO接口；支持IEEE 1588-2008时钟同步协议；
GPIO	80个，和其他模块的管脚复用
复位和时钟	外部管脚复位；内部上电/断电复位；可编程电压检测复位；WDT复位；内部48MHz IRC；内部40KHz、32KHz IRC；外部4~36MHz晶振和32KHz晶振；

2. 引脚说明

2.1. 引脚定义

表 2-1 引脚功能表

符号	功能	
VSS	地	
VDD33	IO电源	

符号	功能	
VDD12	Core电源	
AVDD	模拟电源	
AVSS	模拟地	
VREFH	模拟参考高电平	
VREFL	模拟参考第电平	
EXTAL	PLL外部参考晶振输入	
XTAL	PLL外部参考晶振输出	
EXTAL_32K	RTC外部32K晶振输入	
XTAL_32K	RTC外部32K晶振输出	
POR	外部复位，低有效	
MODE0	芯片启动模式选择信号	
EXT_CLK	外部时钟	
VDD	Core电压	
EXTAL	时钟输入	
XTAL	时钟输出	
XRSTN	复位输入	
XRSTOUTN	复位输出	
GINT0[0]	Eport0[0]、MII_TXD0/RMII_TXD0、NAND_FLASH_IO0	
GINT0[1]	Eport0[1]、MII_TXD1/RMII_TXD1、NAND_FLASH_IO1	
GINT0[2]	Eport0[2]、MII_TXD2、NAND_FLASH_IO2	
GINT0[3]	Eport0[3]、MII_TXD3、NAND_FLASH_IO3	
GINT0[4]	Eport0[4]、MII_TX_ER、NAND_FLASH_IO4	
GINT0[5]	Eport0[5]、MII_TXD_CLK、NAND_FLASH_IO5	
GINT0[6]	Eport0[6]、MII_RX_ER/RMII_RX_ER、NAND_FLASH_IO6	
GINT0[7]	Eport0[7]、MII_TX_EN/RMII_TX_EN、NAND_FLASH_IO7	
GINT1[0]	Eport1[0]、MII_RX_DV/RMII_CRS_DV、UART2_CTS	
GINT1[1]	Eport1[1]、MII_RXD0/RMII_RXD0、UART2_RTS	
GINT1[2]	Eport1[2]、MII_RXD1/RMII_RXD1	

符号	功能	
GINT1[3]	Eport1[3]、MII_RXD2、NAND_FLASH_CLE	
GINT1[4]	Eport1[4]、MII_RXD3、NAND_FLASH_CE	
GINT1[5]	Eport1[5]、MII_CRS_WKUP、NAND_FLASH_ALE	
GINT1[6]	Eport1[6]、MII_RX_CLK、NAND_FLASH_WE	
GINT1[7]	Eport1[7]、MII_MIDO/RMII_MDIO、NAND_FLASH_RE	
GINT2[0]	Eport2[0]、MII_COL、NAND_FLASH_WP	
GINT2[1]	Eport2[1]、MII_MDC/RMII_MDC	
GINT2[2]	Eport2[2]、CAN2_RX	
GINT2[3]	Eport2[3]、CAN2_TX	
GINT2[4]	Eport2[4]、CAN1_RX	
GINT2[5]	Eport2[5]、CAN1_TX	
GINT2[6]	Eport2[6]、I2C2_SCL	
GINT2[7]	Eport2[7]、I2C2_SDA	
GINT3[0]	Eport3[0]、I2C1_SCL	
GINT3[1]	Eport3[1]、I2C1_SDA	
GINT3[2]	Eport3[2]、SPI1_CS、SSI_D0	
GINT3[3]	Eport3[3]、SPI1_SCK、SSI_D1	
GINT3[4]	Eport3[4]、SPI1_MISO、SSI_D2	
GINT3[5]	Eport3[5]、SPI1_MOSI、SSI_D3	
GINT3[6]	Eport3[6]、SPI2_CS、ePWM2_CH3N	
GINT3[7]	Eport3[7]、SPI2_SCK、ePWM_CH3	
GINT4[0]	Eport4[0]、SPI2_MISO、ePWM2_CH4N	
GINT4[1]	Eport4[1]、SPI2_MOSI、ePWM2_CH4	
GINT4[2]	Eport4[2]、SPI3_CS、SSI_CS、JTDI	
GINT4[3]	Eport4[3]、SPI3_SCK、SSI_CLK	
GINT4[4]	Eport4[4]、SPI3_MISO、RSTOUT	
GINT4[5]	Eport4[5]、SPI3_MOSI、CLKOUT	
GINT4[6]	Eport4[6]、SPI4_SCK	

符号	功能	
GINT4[7]	Eport4[7]、SPI4_CS	
GINT5[0]	Eport5[0]、SPI4_MISO、JTRST	
GINT5[1]	Eport5[1]、SPI4_MOSI、ePWM3_BKIN	
GINT5[2]	Eport5[2]、UART2_TX、ePWM3_CH4N	
GINT5[3]	Eport5[3]、UART2_RX、ePWM3_CH4	
GINT5[4]	Eport5[4]、ePWM2_CH1N	
GINT5[5]	Eport5[5]、UART1_TX、ePWM2_CH1	
GINT5[6]	Eport5[6]、UART1_RX、ePWM2_CH2N	
GINT5[7]	Eport5[7]、UART1_CTS、ePWM2_CH2	
GINT6[0]	Eport6[0]、UART1_RTS	
GINT6[1]	Eport6[1]、UART3_TX、ADC2_CH8	
GINT6[2]	Eport6[2]、UART3_RX、ADC3_CH1	
GINT6[3]	Eport6[3]、UART3_CTS、ADC3_CH2	
GINT6[4]	Eport6[4]、UART3_RTS、ADC3_CH3	
GINT6[5]	Eport6[5]、ePWM2_BKIN、ADC3_CH4	
GINT6[6]	Eport6[6]、PWM1_CH1、ePWM1_CH1N	
GINT6[7]	Eport6[7]、PWM1_CH2、ePWM1_CH1	
GINT7[0]	Eport7[0]、PWM1_CH3、ePWM1_CH2N	
GINT7[1]	Eport7[1]、PWM1_CH4、ePWM1_CH2	
GINT7[2]	Eport7[2]、PWM1_CH5、ePWM1_CH3N	
GINT7[3]	Eport7[3]、PWM1_CH6、ePWM1_CH3	
GINT7[4]	Eport7[4]、PWM1_CH7、ePWM1_CH4N	
GINT7[5]	Eport7[5]、PWM1_CH8、ePWM1_CH4、ADC3_CH5	
GINT7[6]	Eport7[6]、PWM2_CH1、ePWM1_BKIN、ADC3_CH6	
GINT7[7]	Eport7[7]、PWM2_CH2、ePWM3_CH1N、ADC3_CH7	
GINT8[0]	Eport8[0]、PWM2_CH3、ePWM3_CH1、ADC3_CH8	
GINT8[1]	Eport8[1]、PWM2_CH4、ePWM3_CH2N、ADC1_CH1	
GINT8[2]	Eport8[2]、PWM2_CH5、ePWM3_CH2、ADC1_CH2	

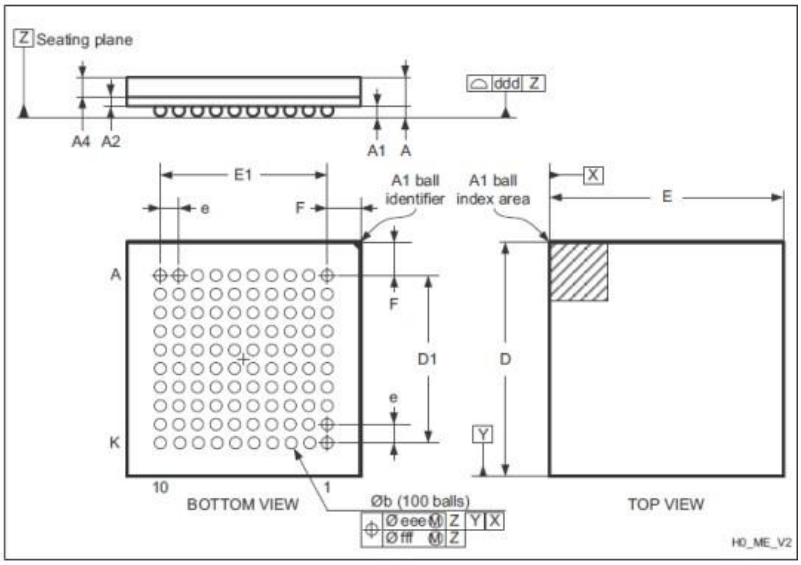
符号	功能	
GINT8[3]	Eport8[3]、PWM2_CH6、ePWM3_CH3N、ADC1_CH3	
GINT8[4]	Eport8[4]、PWM2_CH7、ePWM3_CH3、ADC1_CH4	
GINT8[5]	Eport8[5]、PWM2_CH8、ePWM4_CH1N、ADC1_CH5	
GINT8[6]	Eport8[6]、XIL_JTAG_TMS、ePWM4_CH1、ADC1_CH6	
GINT8[7]	Eport8[7]、XIL_JTAG_TCK、ePWM4_CH2N、ADC1_CH7	
GINT9[0]	Eport9[0]、XIL_JTAG_TDI、ePWM3_CH2、ADC1_CH8	
GINT9[1]	Eport9[1]、XIL_JTAG_TDO、ePWM3_CH3N、ADC2_CH1	
GINT9[2]	Eport9[2]、DAC1、ePWM3_CH3、ADC2_CH2	
GINT9[3]	Eport9[3]、DAC2、ePWM3_CH4N、ADC2_CH3	
GINT9[4]	Eport9[4]、JTMS/SWDIO、ePWM3_CH4、ADC2_CH4	
GINT9[5]	Eport9[5]、JTCK/SWCLK、ADC2_CH5	
GINT9[6]	Eport9[6]、ADC2_CH6	
GINT9[7]	Eport9[7]、ADC2_CH7	

2.2. 引脚排布

	1	2	3	4	5	6	7	8	9	10
A	A1 GINT2[7]	A2 GINT3[2]	A3 GINT3[5]	A4 EXTAL	A5 XTAL	A6 GINT4[2]	A7 GINT4[5]	A8 GINT6[7]	A9 GINT7[1]	A10 GINT7[2]
B	B1 GINT2[6]	B2 GINT3[0]	B3 GINT3[3]	B4 GINT3[6]	B5 GINT4[1]	B6 GINT4[3]	B7 GINT4[6]	B8 POR	B9 GINT5[3]	B10 GINT7[0]
C	C1 GINT2[3]	C2 GINT2[5]	C3 GINT3[1]	C4 GINT3[4]	C5 GINT4[0]	C6 GINT4[4]	C7 GINT4[7]	C8 MODE[0]	C9 GINT5[1]	C10 GINT5[2]
D	D1 GINT2[2]	D2 GINT2[1]	D3 VDD33	D4 GINT2[4]	D5 VSS	D6 GINT6[0]	D7 GINT6[6]	D8 VDD1P2V	D9 VDD33	D10 GINT5[0]
E	E1 GINT2[0]	E2 GINT1[5]	E3 GINT1[6]	E4 GINT1[7]	E5 GINT3[7]	E6 GINT5[6]	E7 GINT5[5]	E8 VSS	E9 GINT5[4]	E10 GINT5[7]
F	F1 GINT1[2]	F2 GINT1[1]	F3 GINT1[0]	F4 GINT1[3]	F5 GINT9[6]	F6 GINT9[4]	F7 GINT9[2]	F8 GINT9[1]	F9 GINT7[3]	F10 GINT7[4]
G	G1 GINT0[2]	G2 GINT0[3]	G3 VSS	G4 VDD1P2V	G5 GINT1[4]	G6 GINT8[0]	G7 GINT8[1]	G8 GINT6[1]	G9 GINT9[3]	G10 GINT9[5]
H	H1 GINT0[4]	H2 GINT0[0]	H3 VDD33	H4 VSS	H5 VDD1P2V	H6 GINT8[5]	H7 GINT8[3]	H8 GINT7[6]	H9 GINT6[3]	H10 GINT9[7]
J	J1 GINT0[6]	J2 GINT0[1]	J3 PAD_XTALO	J4 AVDD_DAC	J5 AVSS_DAC	J6 GINT8[7]	J7 GINT8[6]	J8 GINT7[7]	J9 GINT7[5]	J10 GINT6[2]
K	K1 GINT0[7]	K2 GINT0[5]	K3 PAD_XTALI	K4 VREFH_DAC	K5 VREFL_DAC	K6 GINT9[0]	K7 GINT8[4]	K8 GINT8[2]	K9 GINT6[5]	K10 GINT6[4]

2.3. 封装尺寸

封装信息 BGA100



Symbol	millimeters			inches(1)		
	Min	Typ	Max	Typ	Min	Max
A	-	-	1.700	-	-	0.0669
A1	0.270	-	-	0.0106	-	-
A2	-	0.300	-	-	0.0118	-
A4	-	-	0.800	-	-	0.0315
b	0.450	0.500	0.550	0.0177	0.0197	0.0217
D	9.850	10.000	10.150	0.3878	0.3937	0.3996
D1	-	7.200	-	-	0.2835	-
E	9.850	10.000	10.150	0.3878	0.3937	0.3996
E1	-	7.200	-	-	0.2835	-
e	-	0.800	-	-	0.0315	-
F	-	1.400	-	-	0.0551	-
ddd	-	-	0.120	-	-	0.0047
eee	-	-	0.150	-	-	0.0059
fff	-	-	0.080	-	-	0.0031

3. 芯片结构图

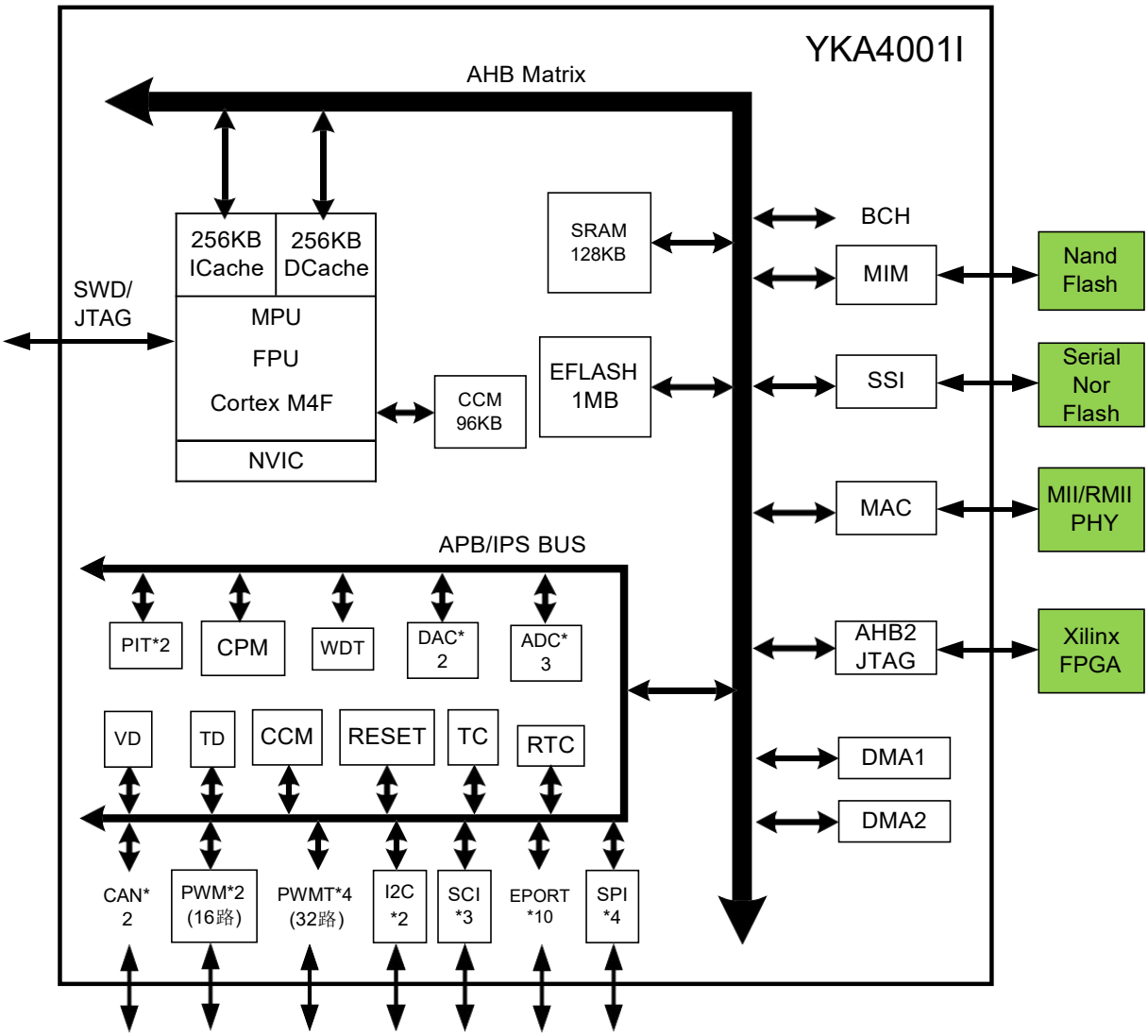


图 3-1 芯片结构图

4. 芯片功能描述

这是一款基于ARM Cortex-M4 内核的低功耗微处理器芯片，该芯片内含兼容 Cortex-M4 Thumb-2 指令集的核心，支持浮点处理，支持 FLASH 存储器 ISP 和 IAP。128K 字节片内 SRAM 存储器，96KB 的紧耦合 SRAM，1M 字节片内 FLASH 存储器以及丰富的外围模块：

- 中断控制器
- RTC 模块
- 80 个 GPIO
- 串行Nor Flash 控制器

- Nand Flash 控制器
- AHB2JTAG 模块
- 两路数模转换模块；
- 三路模数转换模块
- 四路 SPI 模块；
- 两路 CAN 总线控制器；
- 三路 UART 控制器模块；
- 两路 I^2C 模块；
- 16 通道 DMA
- 两路内置 32 位定时器
- 两路 8 通道 PWM
- 四路增加型 PWM
- 温度传感器
- 一路看门狗模块
- 一路 10M/100M 以太网控制器
- JTAG/SWD 调试模块；
- 其他外围电路

5. 功能模块设计

5.1. 总体设计介绍

低功耗微处理器芯片是基于中芯国际 55nm eFLASH 工艺平台实现的一款芯片，芯片的工作温度是-55～125℃，最高工作频率是典型条件下 200MHz，工作电压范围 1.8V~3.6V，主要的设计工作在以下几个方面：

1. 工艺：
   - 芯片的生产工艺 SMIC 55nm eFLASH 工艺，主要是从模拟 IP 成熟度、系统主频和生产工艺国产化的考虑；
2. CPU 核心：
   - CPU 核心采用 ARM Cortex-M4 核心；
3. 存储：
   - SRAM/CCM IP 采用 SMIC SRAM compiler 生成的 IP，总容量为 128Kbytes+96Kbytes；
   - SRAM 控制器设计；
   - FLASH IP 替换为 SMIC 定制的 FLASH 存储器 IP，容量为 1MBytes；
   - FLASH 控制器设计；
4. 模拟电路：

- 使用经过硅验证的 ADC 模拟电路；
- 使用经过硅验证的 DAC 模拟电路；
- 使用经过硅验证的 TD 模拟电路；
- 使用经过硅验证的 RTC 模拟电路；
- 使用经过硅验证的 IO 模拟接口电路；
- 使用经过硅验证的 FIRC/SIRC 模拟时钟电路；
- 使用 SMIC 成熟模拟PLL 设计电路；
- 设计PMU 电路；

5. 外设：

- 采用成熟且多次流片的 SPI 控制器；
- 采用成熟且多次流片的 SCI 控制器；
- 采用成熟且多次流片的 I2C 控制器；
- 采用成熟且多次流片的CAN 控制器；
- 采用成熟且多次流片的 MAC 控制器；
- 采用成熟且多次流片的 QADC 控制器；
- 采用成熟且多次流片的 DAC 控制器；
- 采用成熟且多次流片的PWM/ePWM 控制器；
- 采用成熟且多次流片的 SSI 控制器；
- 采用成熟且多次流片的Nand Flash 控制器；
- 设计 AHB2JTAG 模块；

6. 其他：

- 设计内部总线矩阵；
- 设计时钟复位控制器；

7. 可靠性设计考虑

为了增加芯片使用寿命，杜绝芯片在异常情况下出错的概率，本芯片做了如下的可靠性设计考虑：

- Flash 数据和指令存储模块，增加了ECC 纠错和报错机制，保证了数据的高可靠性；
- 数据和指令存储保护机制，对关键的数据进行写保护或者读保护；
- 寄存器保护模块，对关键的配置寄存器进行写保护，保证在芯片在发生异常时不会改写关键的寄存器的内容；
- 安全的看门狗，即使芯片发生的异常，也能保证系统的恢复；
- 核心电压驱动管外置，减少芯片本身的发热量，提高系统运行的可靠性和减少对外的电磁干扰；
- 静电保护，采用成熟的、抗 2KV 人体带电模型的专用 IO；
- EMC 兼容性设计考虑：
  - 芯片的每个管脚的输出跳变时间都可以设置慢跳变，减少当输出管脚变化时带来的电磁干

扰；

➢ 关键的 IO（复位唤醒等）输入有滤波处理，减少外界干扰时发生异常的概率，提高了 EMC 性能；

5.2. 存储地址映射

5.2.1. 介绍

存储空间主要分为以下几大类：

- 128KB 的内部静态随机存储器
- 96KB 的 CPU 紧耦合静态随机存储器
- 1MB 的嵌入式 Flash 存储
- 内部各个模块的寄存器

5.2.2. 存储映射表格

表 5-1 展示了启动模式管脚对应的启动模式。

mode0	Boot mode	Aliasing
0	EFLASH_INFO	从8KB EFlash INFO空间开始启动
1	EFLASH_MAIN	从1MB EFLASH Main空间开始启动

表 5-1 启动模式表

表 5-2 展示了不同启动模式下的地址映射。

Address	Boot/Remapin EFLASH_INFO	Boot/Remapin EFLASH_MAI
0x20000000~ 0x2001FFFF	SRAM	SRAM
0x1FFE8000~ 0x1FFFFFFF	CCMSRAM	CCMSRAM
0x10000000~ 0x13FFFFFF	SPI1 FLASH (Cached)	SPI1 FLASH (Cached)
0x08000000~ 0x080FFFFF	EFLASH_MAIN	EFLASH_MAIN
0x08600000~ 0x08603FFF	EFLASH_INFO	EFLASH_INFO
0x00000000~ 0x03FFFFFF	EFLASH_INFO (8KB) Aliased	EFLASH(1MB) Aliased

表 5-2 不同启动模式的存储地址映射表

表 5-2 展示了不同启动模式下的地址映射.

0x4000_0000	4Kbyte	AHB_IPS1	IO Control Module(IOCTRL)
0x4000_1000	4Kbyte		Chip configuration (CCM)
0x4000_2000	4Kbyte		Reset (RESET)
0x4000_3000	4Kbyte		TFM
0x4000_4000	4Kbyte		CPM
0x4000_5000	4Kbyte		Watchdog timer (WDT)
0x4000_6000	4Kbyte		TC
0x4000_7000	4Kbyte		PIT32_1
0x4000_8000	4Kbyte		PIT32_2
0x4000_9000	4Kbyte		Reserved
0x4000_a000	4Kbyte		ePWM2
0x4000_b000	4Kbyte		ePWM3
0x4000_c000	4Kbyte		Reserved
0x4000_d000	4Kbyte		Reserved
0x4000_e000	4Kbyte		Reserved
0x4000_f000	4Kbyte		CAN1
0x4001_0000	4Kbyte		SPI2
0x4001_1000	4Kbyte		SPI3
0x4001_2000	4Kbyte		SPI4
0x4001_3000	4Kbyte		Reserved
0x4001_4000	4Kbyte		SCI2
0x4001_5000	4Kbyte		SCI3
0x4001_6000	4Kbyte		Reserved
0x4001_7000	4Kbyte		I2C1
0x4001_8000	4Kbyte		PWM1
0x4001_9000	4Kbyte		Edge Port 0 (EPORT0)
0x4001_a000	4Kbyte		Edge Port 1(EPORT1)
0x4001_b000	4Kbyte		Reserved
0x4001_c000	4Kbyte		Reserved
0x4001_d000	4Kbyte		Reserved
0x4001_e000	4Kbyte	AHB_IPS1	Reserved
0x4001_f000	4Kbyte		ePWM1
0x4002_0000	4Kbyte		ADC1

0x4002_1000	4Kbyte		DAC1
0x4002_2000	4Kbyte		Reserved
0x4002_3000	4Kbyte		Reserved
0x4002_4000	4Kbyte		Edge Port 2(EPORT2)
0x4002_5000	4Kbyte		Edge Port 3(EPORT3)
0x4002_6000	4Kbyte		Edge Port 4(EPORT4)
0x4002_7000	4Kbyte		Edge Port 5(EPORT5)
0x4002_8000	4Kbyte		Edge Port 6(EPORT6)
0x4002_9000	4Kbyte		Edge Port 7(EPORT7)
0x4002_a000	4Kbyte		Edge Port 8(EPORT8)
0x4002_b000	4Kbyte		Edge Port 9(EPORT9)
0x4002_c000	4Kbyte		Reserved
0x4002_d000	4Kbyte		Reserved
0x4002_e000	4Kbyte		Reserved
0x4002_f000	4Kbyte		Reserved
0x4003_0000	4Kbyte		Reserved
0x4003_1000	4Kbyte		Reserved
0x4003_2000	4Kbyte		TD
0x4003_3000	4Kbyte		Frequency_Test
0x4003_4000	4Kbyte		PCI
0x4003_5000	4Kbyte		PMU_RTC
0x4004_0000	4Kbyte	AHB_IPS2	DAC2
0x4004_1000	4Kbyte		QADC2
0x4004_2000	4Kbyte		QADC3
0x4004_3000	4Kbyte		SPI1
0x4004_4000	4Kbyte		CAN2
0x4004_5000	4Kbyte		SCI1
0x4004_6000	4Kbyte		I2C2
0x4004_7000	4Kbyte		PWM2
0x4004_8000	4Kbyte		ePWM4
0x4004_9000	4Kbyte		MIM
0x4004_a000	4Kbyte		BCH
0x4004_b000	4Kbyte		Reserved

0x4004_c000	4Kbyte		Reserved
0x4004_d000	4Kbyte		Reserved
0x4004_d000	4Kbyte		Reserved
0x4004_f000	4Kbyte		Reserved
0x4005_0000	4Kbyte	AHB2	AHB2JTAG
0x4005_5000	4Kbyte		Reserved
0x4005_6000	4Kbyte		DMAC1
0x4005_7000	4Kbyte		DMAC2
0x4005_8000	4Kbyte		Reserved
0x4005_9000	4Kbyte		Reserved
0x4005_a000	4Kbyte		Reserved
0x4006_0000	64Kbyte	AHB3	NFC SRAM
0x4007_0000	4Kbyte	AHB_APB	Reserved
0x4007_1000	4Kbyte		ICache_Config
0x4007_2000	4Kbyte		Reserved
0x4007_3000	4Kbyte		Reserved
0x4007_4000	4Kbyte		Reserved
0x4007_5000	4Kbyte		DCache_Config
0x4007_6000	4Kbyte		Reserved
0x4007_7000	4Kbyte		Reserved
0x4008_0000	64Kbyte	AHB_MAC	MAC
0x400a_0000	128Kbyte	AHB_MIM	MIM
0x6000_0000	4Kbyte	AHB_SPIM1	SSI
0xe000_0000	4Kbyte	M4	M4 SYS

表 5-3 模块的寄存器地址映射表

5.3. 各功能模块详细介绍

5.3.1. 芯片配置模块（CCM）

5.3.1.1. 介绍

此模块主要用于控制或记录芯片的配置信息及工作模式。

5.3.1.2. 特性

CCM 包括以下特性：

- 系统配置和状态
  - 从 Flash 的 Main 区域启动
  - 从 Flash 的 Info 区域启动
  - 内部 EFLASH 的测试模式
  - 内部 VD 的测试模式
  - 内部 IRC 测试模式

5.3.1.3. 存储映射

CCM 模块在系统中的访问基地址为 0x40001000。

5.3.2. IO 控制模块（IO_CTRL）

5.3.2.1. 介绍

IO_CTRL 模块主要用来控制 IO PAD 的主要功能。

5.3.2.2. 特性

IO_CTRL 包含以下特性：

- 配置 80 个 GPIO 的复用关系
- 配置 MAC 的 PHY 接口是 MII 还是 RMII
- 配置DMA/MAC_DMA 的大小端
- 使能 SSI 的 XIP 功能

5.3.2.3. 存储映射

IO_CTRL 模块在系统中的访问基地址为 0x40000000。

5.3.3. 时钟管理模块（CPM）

5.3.3.1. 介绍

CPM 模块主要控制或配置芯片所需要的时钟和各个模块的工作时钟、复位。根据 CPU 的状态判断是正常工作状态还是低功耗状态。提供状态及控制寄存器给 CPU 查询和配置。

5.3.3.2. 特性

CPM 包含以下特性：

- 芯片时钟源有：
  - 内部 48MHz 振荡器
  - 外部 16MHz 晶振
  - 内部PLL，可倍频产生芯片最高工作频率 200MHz
  - 外部 32KHz 晶振
  - 内部低速 128KHz/40KHz/32KHz 振荡器
- 独立的时钟分频模块
- 支持低功耗模式
- 模块时钟可单独关闭

5.3.3.3. 框图

此模块的框图如下图所示。

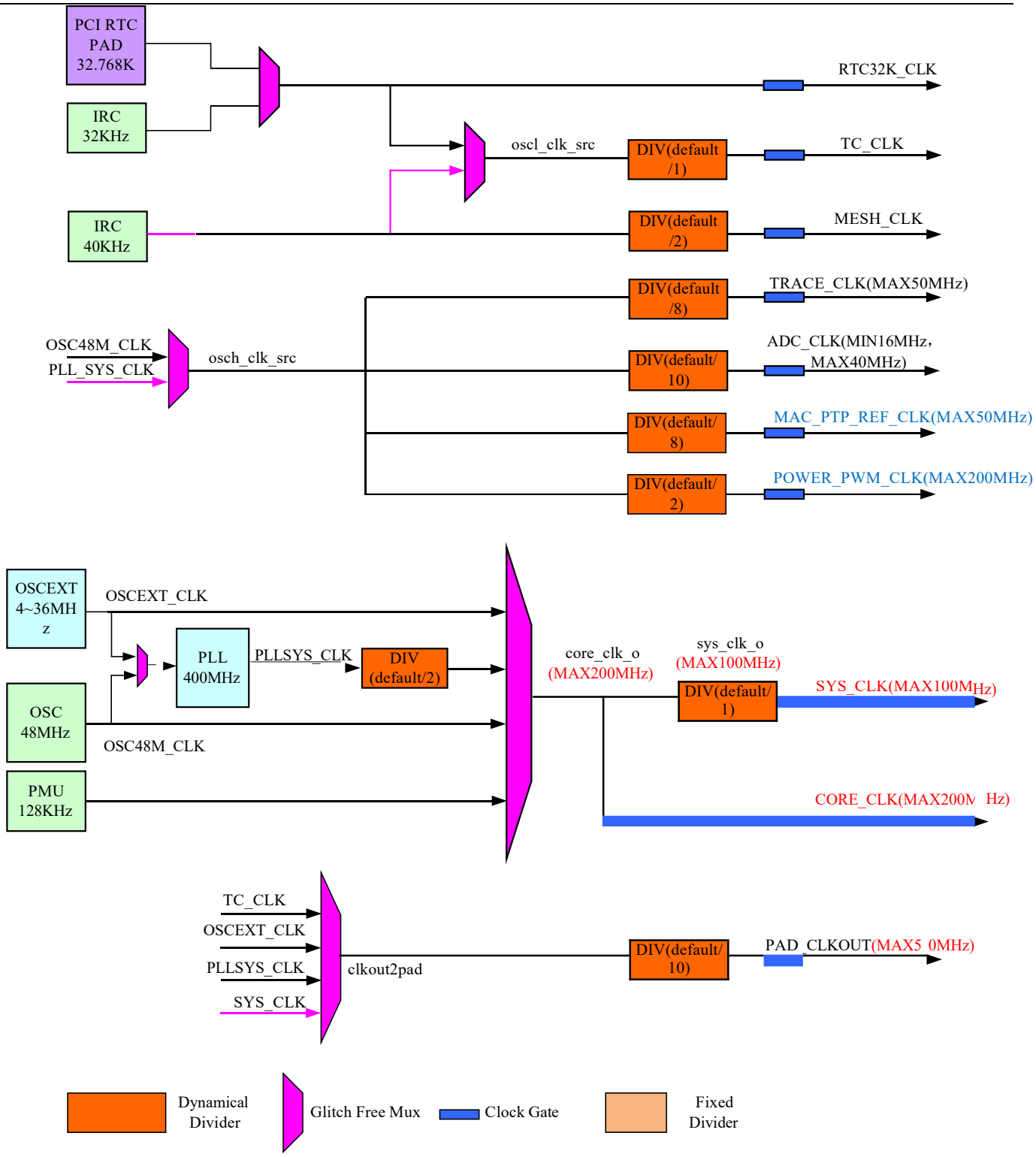


图 5-1 CPM 框 图

5.3.3.4. 系统时钟选择

系统时钟选择内部时钟时可以是内部高速 48MHz IRC 或者是内部低速 128KHz IRC，也可以选择 PLL 的输出时

钟，选择 PLL 时钟时要注意不要使 CPU 的工作时钟频率超过 200MHz。同样，系统时钟也可以选择外部晶振输入（4~36MHz）的时钟。

5.3.3.5. 低功耗模式

5.3.3.5.1. 待机模式

在待机模式下，只有 CPU 的时钟会停止，系统总线及外设的时钟是一直工作着的。

5.3.3.5.2. 睡眠模式

在睡眠模式下，CPU 和外设的时钟都会停掉，以进一步降低功耗。

5.3.3.6. 存储映射

CPM 模块在系统中的访问基地址为 0x40004000。

5.3.4. 复位模块（RESET）

5.3.4.1. 介绍

此模块主要用于记录上一次发生的复位源，记录于状态寄存器给 CPU 查询，并产生一些芯片的复位信号给系统。

5.3.4.2. 特性

RESET 包括以下特性：

- 六个复位源
  - 上电复位
  - 外部复位
  - 软件复位
  - 定时器溢出复位
  - 电压检测异常复位
  - 温度检测异常复位
- 软件可以查询到上一次发生的复位源

5.3.4.3. 存储映射

RESET 模块在系统中的访问基地址为 0x40002000

5.3.5. 中断控制模块（NVIC）

5.3.5.1. 介绍

此模块主要用于记录并控制各个中断源给 CPU 处理。

5.3.5.2. 特性

NVIC 包括以下特性：

- 146 个中断源
- 16 个可编程的优先级
- 低延迟响应的中断处理机制

5.3.5.3. 中断向量表映射

位置	优先级	优先级类型	中断源	描述	向量入口偏移地址
	-	-	-	Reserved	0x00000000
	-3(highest)	fixed	Reset	Reset	0x00000004
	-2	fixed	NMI	Non maskable interrupt.	0x00000008
	-1	fixed	HardFault	All class of fault	0x0000000C
	-	settable	MemManage	Memory management	0x00000010
	-	settable	BusFault	Pre-fetch fault, memory access fault	0x00000014
	-	settable	UsageFault	Undefined instruction or illegal state	0x00000018
	-	-	-	Reserved	0x0000001C~0x0000002B
	-	settable	SVCall	System service call via SWI instruction	0x0000002C
	-	-	-	Reserved	0x00000030
	-	-	-	Reserved	0x00000034
	-	settable	PendSV	Pendable request for system service	0x00000038
	-	settable	SysTick	System tick timer	0x0000003C
0	-	settable	FLASH	flash interrupt	0x00000040

1	-	settable	PMU	vcc_lvdt2v_int vcc_lvdt1p8v_int vcc_lvdt3p3v_int	0x00000044
2	-	settable	TC	Time counter interrupt	0x00000048
3	-	settable	PIT1	Pit1 interrupt	0x0000004C
4	-	settable	PIT2	Pit2 interrupt	0x00000050
5	-	settable	DMAC1	dmac1 interrupt	0x00000054
6	-	settable	DMAC2	dmac2 interrupt	0x00000058
7	-	settable	PWMT1	pwmt1 interrupt	0x0000005C
8	-	settable	PWMT2	pwmt2 interrupt	0x00000060
9	-	settable	PWMT3	pwmt3 interrupt	0x00000064
10	-	settable	PWMT4	pwmt4 interrupt	0x00000068
11	-	settable	-	Reserved	0x0000006C
12	-	settable	RTC	Day_int Hour_int Minute_intt Second_int Alarm_intt 1khz_int 32khz_int	0x00000070
13	-	settable	QADC3	qadc3 interrupt	0x00000074
14	-	settable	QADC2	qadc2 interrupt	0x00000078
15	-	settable	QADC1	qadc1 interrupt	0x0000007C
16	-	settable	DAC1	dac1 interrupt	0x00000080
17	-	settable	DAC2	dac2 interrupt	0x00000084
18	-	settable	SPI1	spi1 interrupt	0x00000088
19	-	settable	SPI2	spi2 interrupt	0x0000008C
20	-	settable	SPI3	spi3 interrupt	0x00000090
21	-	settable	SPI4	spi4 interrupt	0x00000094
22	-	settable	SSI	ssi interrupt	0x00000098
23	-	settable	BCH	bch interrupt	0x0000009C
24	-	settable	SCI1	sci1 interrupt	0x000000A0
25	-	settable	SCI2	sci2 interrupt	0x000000A4
26	-	settable	SCI3	sci3 interrupt	0x000000A8
27	-	settable	I2C2	i2c2 interrupt	0x000000AC
28	-	settable	I2C1	i2c1 interrupt	0x000000B0
29	-	settable	XILJTAG	xiljtag interrupt	0x000000B4
30~37	-	settable	EPORT0	eport0[7:0] interrupt	0x000000B8~0x000000D4

38~45	-	settable	EPORT1	eport1[7:0] interrupt	0x000000D8~0x000000F4
46~53	-	settable	EPORT2	eport2[7:0] interrupt	0x000000F8~0x00000114
54~61	-	settable	EPORT3	eport3[7:0] interrupt	0x00000118~0x00000134
62~69	-	settable	EPORT4	eport4[7:0] interrupt	0x00000138~0x00000154
70~77	-	settable	EPORT5	eport5[7:0] interrupt	0x00000158~0x00000174
78~85	-	settable	EPORT6	eport6[7:0] interrupt	0x00000178~0x00000194
86~93	-	settable	EPORT7	eport7[7:0] interrupt	0x00000198~0x000001B4
94~101	-	settable	EPORT8	eport8[7:0] interrupt	0x000001B8~0x000001D4
102~109	-	settable	EPORT9	eport9[7:0] interrupt	0x000001D8~0x000001F4
110~117	-	settable	PWM1	pwm1[7:0] interrupt	0x000001F8~0x00000214
118~125	-	settable	PWM2	pwm2[7:0] interrupt	0x00000218~0x00000234
126	-	settable	MAC	mac interrupt	0x00000238
127	-	settable	CAN1	FlexCAN_BUF_32_63_irq	0x0000023C
128	-	settable	CAN1	FlexCAN_BUF_16_31_irq	0x00000240
129	-	settable	CAN1	FlexCAN_BUF_12_15_irq	0x00000244
130	-	settable	CAN1	FlexCAN_BUF_08_11_irq	0x00000248
131	-	settable	CAN1	FlexCAN_BUF_04_07_irq	0x0000024C
132	-	settable	CAN1	FlexCAN_BUF_00_03_irq	0x00000250
133	-	settable	CAN1	FlexCAN_BOFF_TRWARN	0x00000254
134	-	settable	CAN1	FlexCAN_ERR	0x00000258
135	-	settable	CAN2	FlexCAN_BUF_32_63_irq	0x0000025C
136	-	settable	CAN2	FlexCAN_BUF_16_31_irq	0x00000260
137	-	settable	CAN2	FlexCAN_BUF_12_15_irq	0x00000264
138	-	settable	CAN2	FlexCAN_BUF_08_11_irq	0x00000268
139	-	settable	CAN2	FlexCAN_BUF_04_07_irq	0x0000026C
140	-	settable	CAN2	FlexCAN_BUF_00_03_irq	0x00000270
141	-	settable	CAN2	FlexCAN_BOFF_TRWARN	0x00000274
142	-	settable	CAN2	FlexCAN_ERR	0x00000278
143	-	settable	TD	td interrupt	0x00000280
144	-	settable	FD	IRC fd interrupt	0x00000284
145	-	settable	VD	vd interrupt	0x00000288

表 5-4 引脚功能表

5.3.5.4. 存储映射

NVIC 模块在系统中的访问基地址为 0xE000ED00。

5.3.6. 可编程中断定时模块（PIT）

5.3.6.1. 介绍

此模块是一个 32 位的定时器，可以产生中断给 CPU，工作于向下计数模式。

5.3.6.2. 框图

此模块的框图如下图所示。

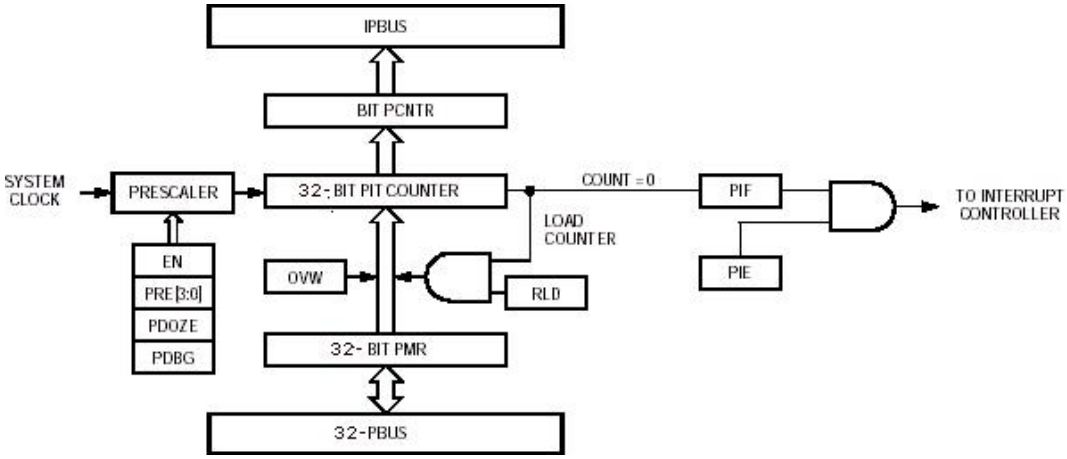


图 5-2 PIT 框 图

5.3.6.3. 存储映射

PIT1 模块在系统中的访问基地址为 0x40007000。PIT2 模块在系统中的访问基地址为 0x40008000。

5.3.7. 数模转换模块（DAC）

5.3.7.1. 介绍

此模块是一个 12 位的电压输出的数模转换器，可以配置成 8 位或 12 位的数据输入，采用外部参考电压（和 ADC 共用）。

5.3.7.2. 特性

DAC 包括以下特性：

- 数据可左对齐或右对齐
- 支持DMA
- 支持外部触发启动（PIT 或 EPORT）
- 可编程内部缓存
- 基于 FIFO 的数据缓存机制
- 外部参考电压VREFH/VREFL

5.3.7.3. 框图

此模块的框图如下图所示。

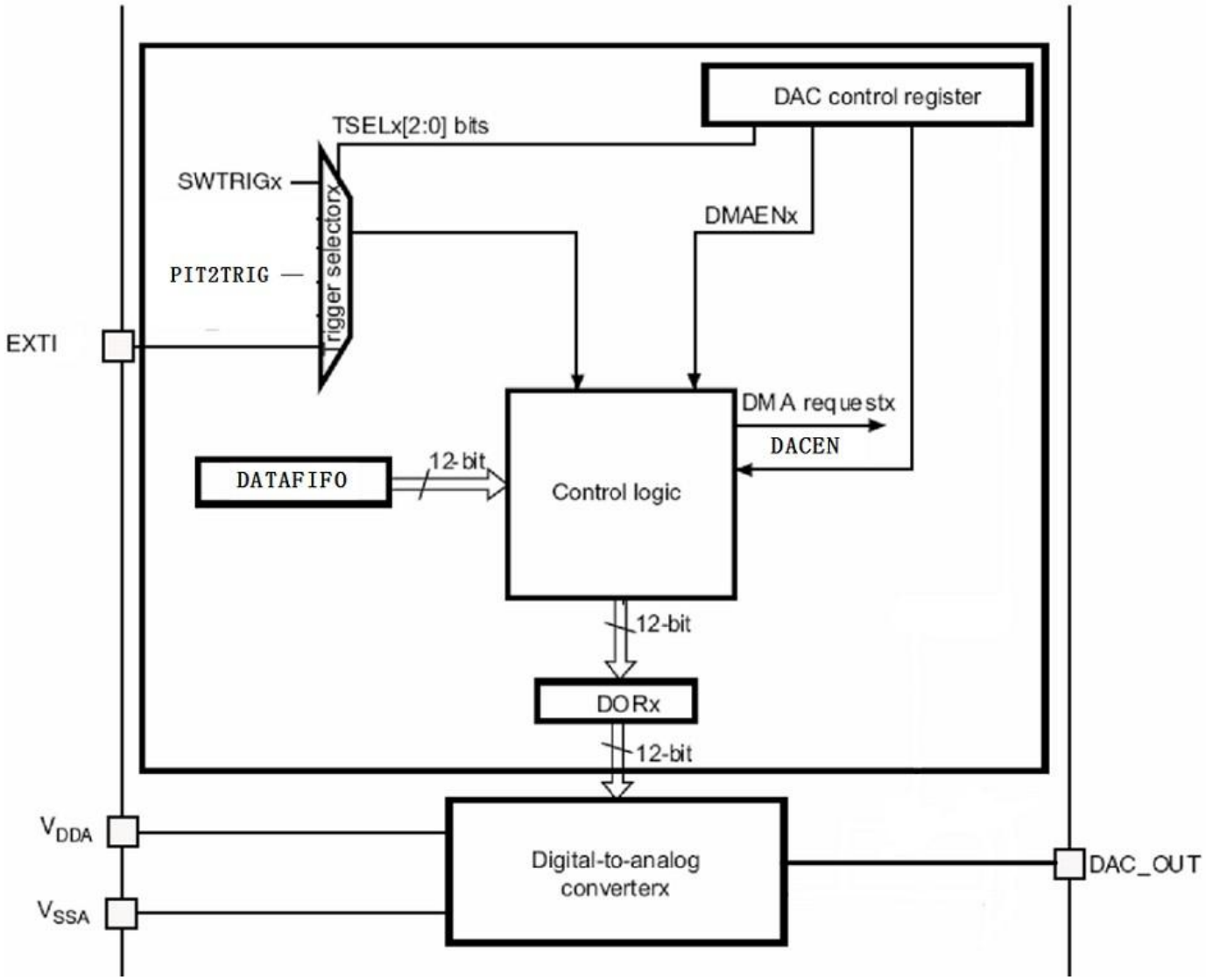


图 5-3 DAC 框图

5.3.7.4. 存储映射

DAC1 模块在系统中的访问基地址为 0x40021000。DAC2 模块在系统中的访问基地址为 0x40040000。

5.3.8. 直接数据传输模块（DMA）

5.3.8.1. 介绍

此模块是用来减轻 CPU 的数据传输负载的一个总线主模块，每个 DMA 提供八个独立的通道，每个通道支持字节/半字/字为单位的传输。

5.3.8.2. 特性

DMA 包括以下特性：

- （8x2）个独立的可编程传输通道
- 支持 M2M，M2P，P2M，P2P 传输
- 单位数据可为字节/半字/字
- 支持 LLI 传输模式
- 支持暂停传输
- 支持突发模式传输
- 支持 SG 方式传输
- 每个通道有独立的缓存

5.3.8.3. 框图

此模块的框图如下图所示。

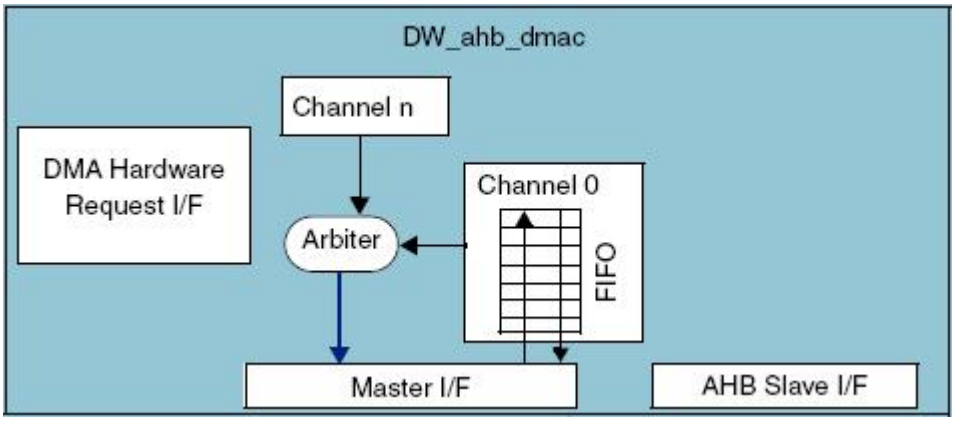


图 5-4 DMAC 框图

5.3.8.4. 存储映射

DMA1 模块在系统中的访问基地址为 0x40056000。

DMA2 模块在系统中的访问基地址为 0x40057000。

5.3.9. 边沿检测模块（EPORT）

5.3.9.1. 介绍

此模块有八个外部中断管脚，每个管脚可以单独配置为低电平中断或边沿变化中断，或者通用 IO。

5.3.9.2. 特性

EPORT 包括以下特性：

- 八个独立的输入输出管脚
- 可配置电平或沿触发中断

5.3.9.3. 框图

此模块的框图如下图所示。

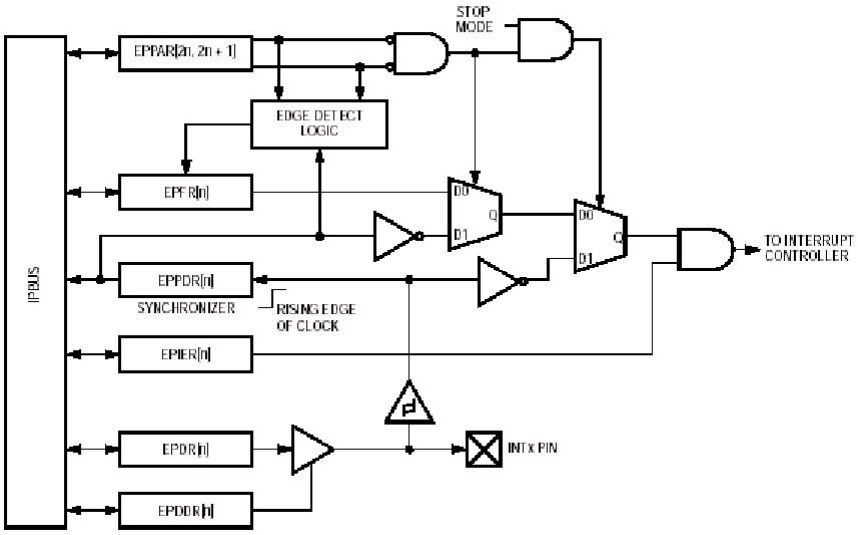


图 5-5 EPORT 框图

5.3.9.4. 存储映射

EPORT0 模块在系统中的访问基地址为 0x40019000。EPORT1 模块在系统中的访问基地址为 0x4001a000。EPORT2 模块在系统中的访问基地址为 0x40024000。EPORT3 模块在系统中的访问基地址为 0x40025000。EPORT4 模块在系统中的访问基地址为 0x40026000。EPORT5 模块在系统中的访问基地址为 0x40027000。EPORT6 模块在系统中的访问基地址为 0x40028000。EPORT7 模块在系统中的访问基地址为 0x40029000。EPORT8 模块在系统中的访问基地址为 0x4002a000。EPORT9 模块在系统中的访问基地址为 0x4002b000。

5.3.10. 脉宽调制模块（PWM）

5.3.10.1. 介绍

此模块包括八个 16 位的定时器，每个都可以用做产生独立的中断。

每两个定时器共享一个预分频器，可以产生五种时钟源（1，1/2，1/4，1/8，1/16）。有一个 16 位的比较器比较计数器和配置的阈值来产生不同的变化。如果死区模式使能了，两个定时器的输出被替换为死区生成模块的输出。

每个定时器都包括一个捕获通道，在使能捕获功能后，发生上升沿时将计数器里的值锁存到 CRLR 寄存器，发生下降沿时将计数器里的值锁存到CFLR 寄存器。

一共有八个中断源可以产生给中断控制器，脉宽调制功能和捕获功能对同一个通道来说，不能同时工作，要么配置成脉宽调制功能，要么配置成捕获功能。

5.3.10.2. 特性

PWM 包括以下特性：

- 可配置周期
- 可配置占空比
- 四个死区发生器
- 支持捕获功能
- 每个管脚可以配置成 GPIO 功能
- 八路可独立配置引脚

5.3.10.3. 框图

此模块的框图如下图所示。

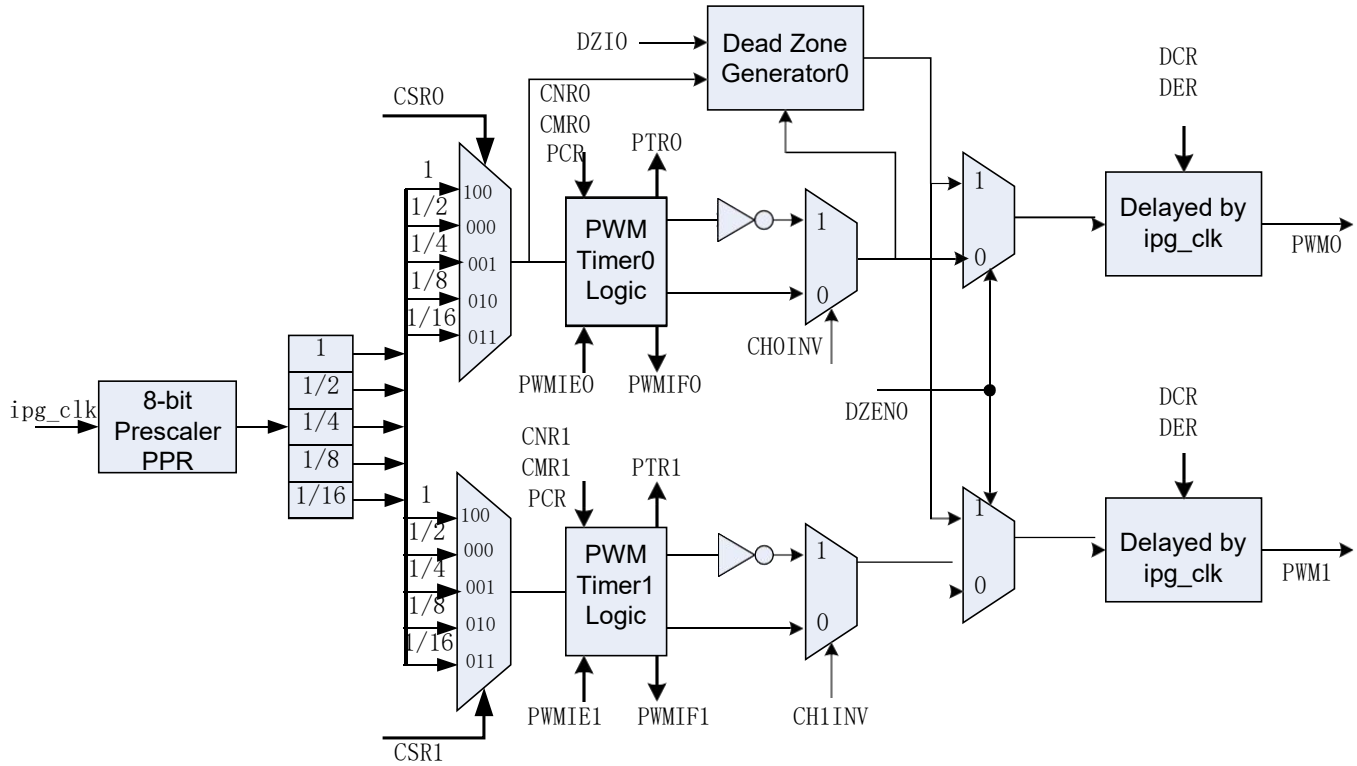


图 5-6 PWM 框图

5.3.10.4. 存储映射

PWM1 模块在系统中的访问基地址为 0x40018000。

PWM2 模块在系统中的访问基地址为 0x40047000。

5.3.11. 增强型脉宽调制模块（ePWM）

5.3.11.1. 介绍

此模块由一个自动重载的 16 位计数器和一个可编程的预分频器组成。

它可以用来测量输入脉冲的宽度，也可以用了产生不同的脉宽输出。脉冲宽度和周期可以配置范围从几微秒到几毫秒。

5.3.11.2. 特性

ePWM 包括以下特性：

- 16 位向上，向下，向上/向下自动重载计数器
- 16 位可编程的预分频器
- 四个独立的通道可用作：

- 4 个输入捕获通道
- 输出比较
- 8 路 PWM 生成
- 单脉冲输出模式

- 带可编程死区时间的互补输出
- 带紧急刹车控制
- 可用外部信号同步或多个 Timer 串联的同步控制逻辑
- 可产生中断和触发DMA 传输

注意：ePWM1~ePWM3 模块产生 PWM 的源时钟最高频率为 100MHz，ePWM4 模块产生PWM 的源时钟最高频率为 200MHz，且不支持刹车及外部触发以及 DMA 传输。

5.3.11.3. 框图

此模块的框图如下图所示。

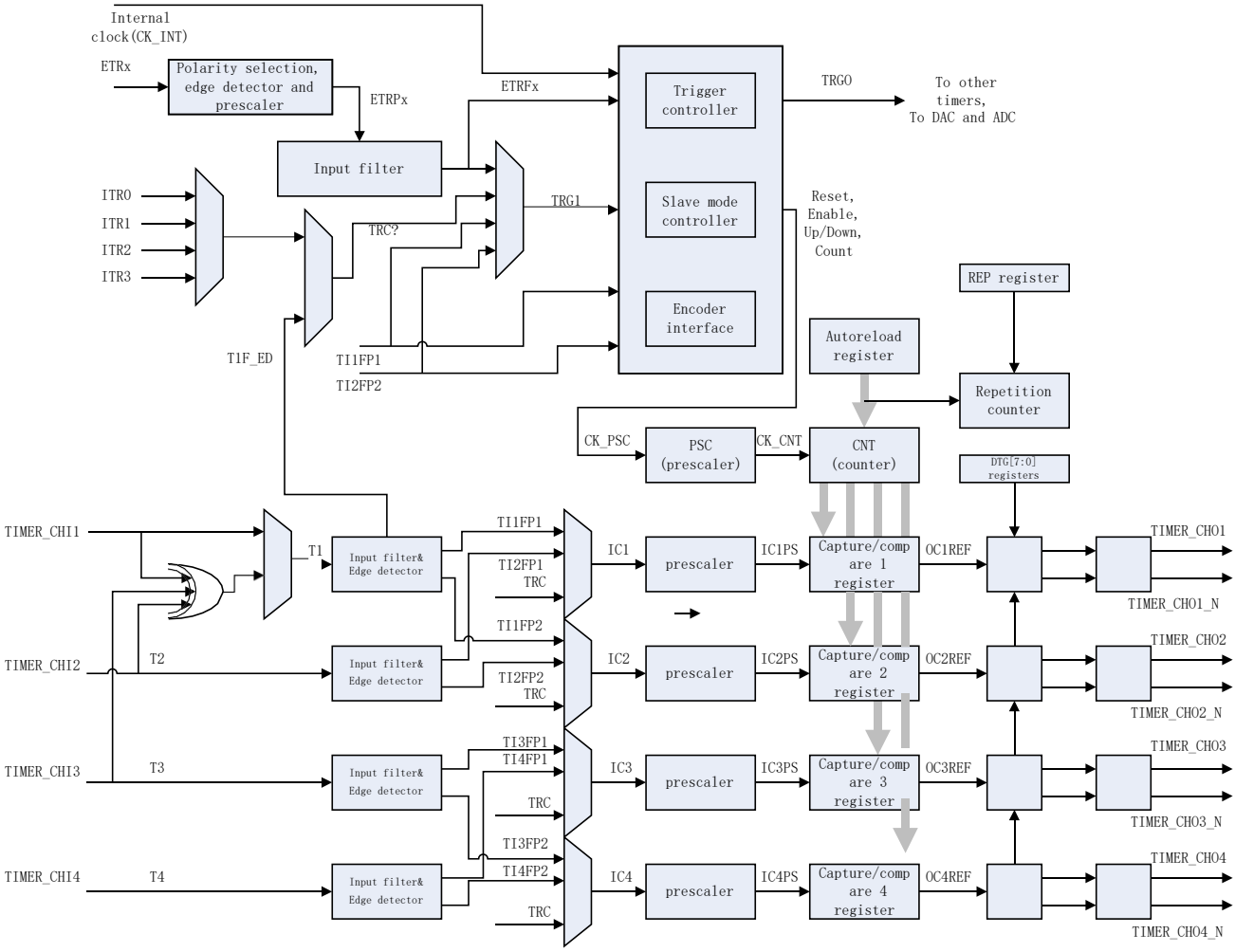


图 5-7 ePWM 框图

5.3.11.4. 存储映射

ePWM1 模块在系统中的访问基地址为 0x4001f000。

ePWM2 模块在系统中的访问基地址为 0x4000a000。

ePWM3 模块在系统中的访问基地址为 0x4000b000。

ePWM4 模块在系统中的访问基地址为 0x40048000。

5.3.12. 实时计时模块（RTC）

5.3.12.1. 介绍

此模块通过控制一个复杂的模拟时钟发生器，其中 32KHz 的时钟源可以是内部 IRC 产生也可以是外部接32KHz 的晶振。

它控制装载到 RTC 的时间，控制触发闹钟并产生各个单位时间的中断。

5.3.12.2. 特性

RTC 包括以下特性：

- 装载时间数据，使 CPU 可以读到秒、分、时、天的计数器
- 支持闹钟设置
- 支持多个中断事件

5.3.12.3. 框图

此模块的框图如下图所示。

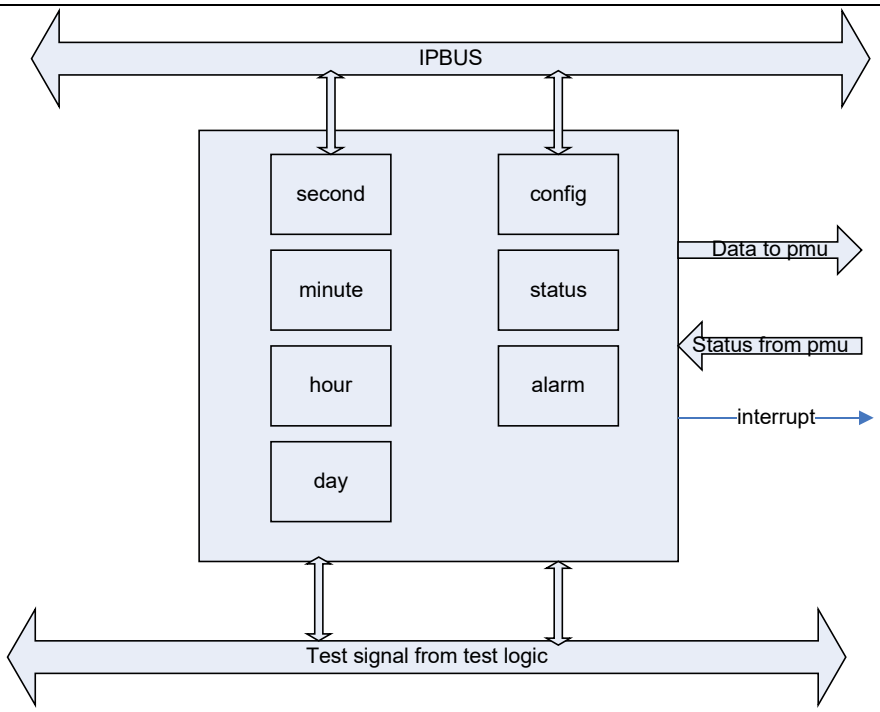


图 5-8 RTC 框图

5.3.12.4. 存储映射

RTC 模块在系统中的访问基地址为 0x40035000。

5.3.13. 普通计时模块（TC）

5.3.13.1. 介绍

此模块通是一个用来帮助软件从跑飞状态恢复的 16 位的定时器。当计数时间超过阈值时会产生中断或复位，为了防止此模块产生复位，软件必须要定时重启此定时器。

5.3.13.2. 特性

TC 包括以下特性：

- 向下计数的 16 为计数器
- 可以用作看门狗

5.3.13.3. 框图

此模块的框图如下图所示。

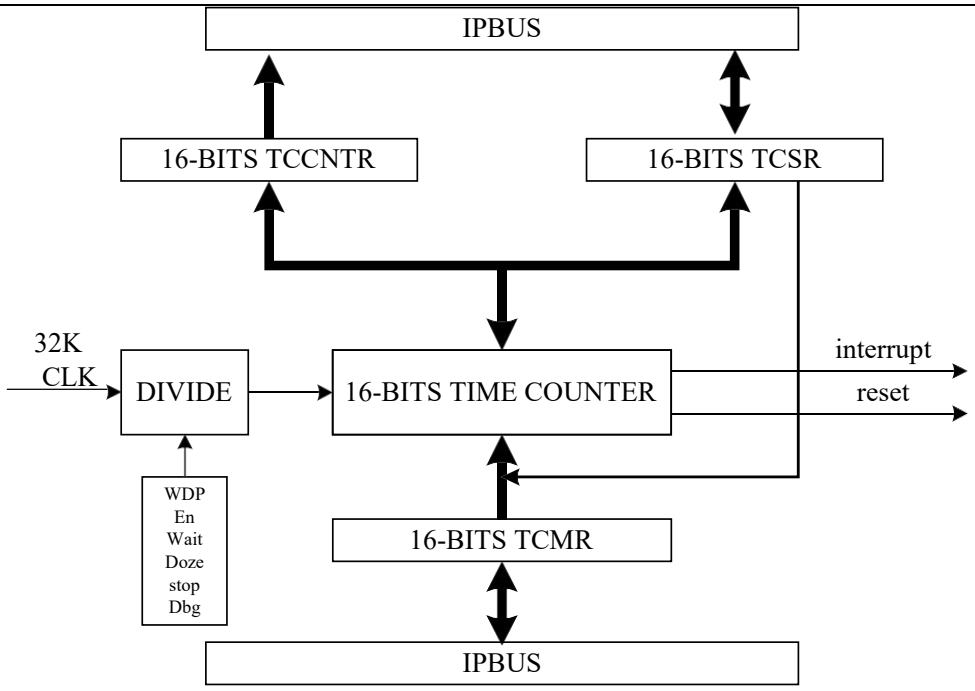


图 5-9 TC 框图

5.3.13.4. 存储映射

TC 模块在系统中的访问基地址为 0x40006000。

5.3.14. 模数转换模块（ADC）

5.3.14.1. 介绍

这是一个 12 位的逐次逼近型的模数转换器，支持 8 个以上的独立模拟输入通道。不同通道的转换可以是单次、连续、扫描模式。转换的结果存放在一个深度为 8 的 FIFO 里，转换结果可以是左对齐或者右对齐。

5.3.14.2. 特性

ADC 包括以下特性：

- 12 位，10 位，8 位这几种可配置转换精度
- 最小 1 微秒转换时间
- 可配置的采样时间
- 支持DMA
- 8 个外部输入通道

- 可以由软件或硬件触发转换
- 多种事件可触发中断给 CPU

5.3.14.3. 框图

此模块的框图如下图所示。

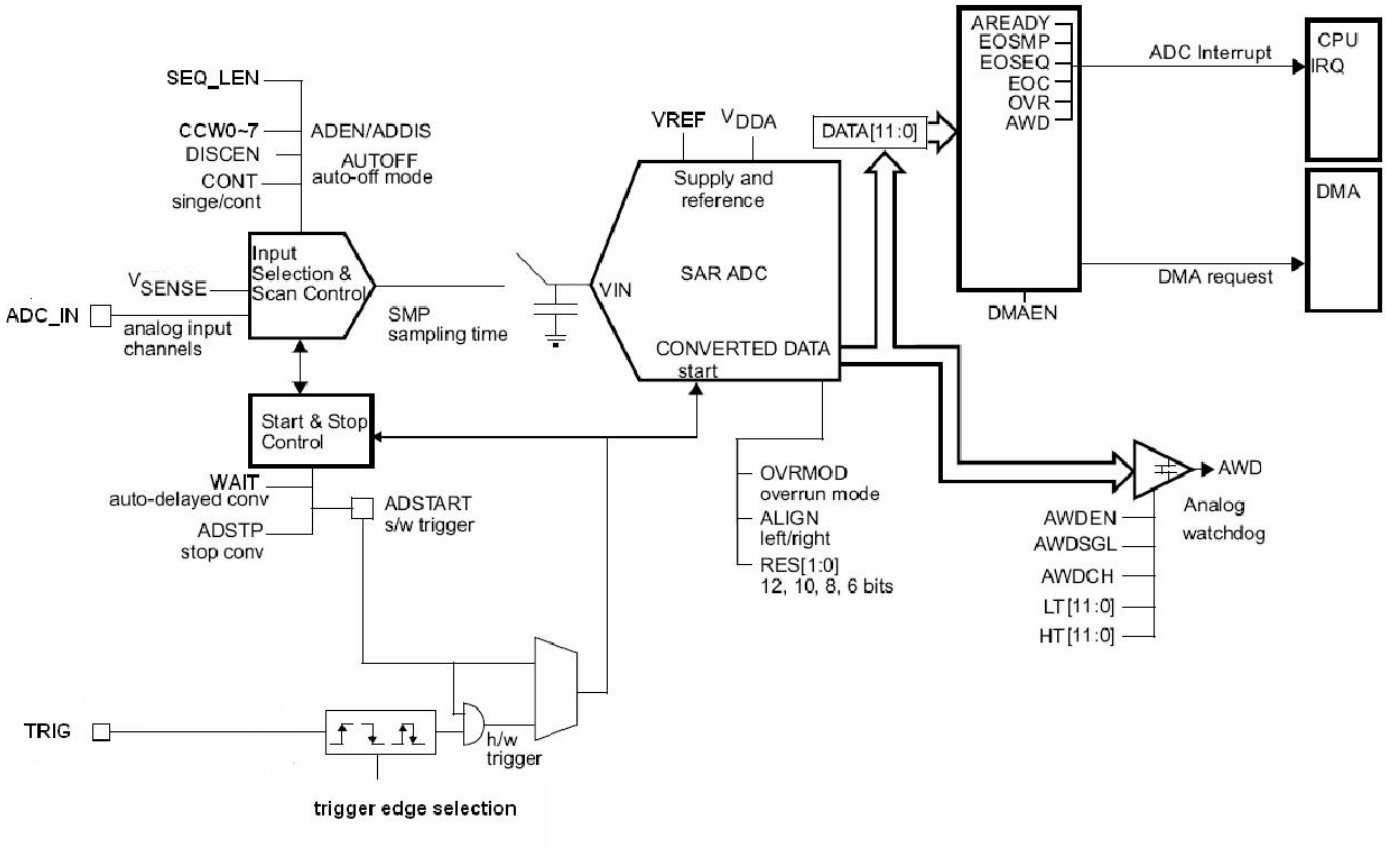


图 5-10 ADC 框图

5.3.14.4. 存储映射

ADC1 模块在系统中的访问基地址为 0x40020000。

ADC2 模块在系统中的访问基地址为 0x40041000。

ADC3 模块在系统中的访问基地址为 0x40042000。

5.3.15. I2C 模块（I2C）

5.3.15.1. 介绍

I2C 模块是一种简单的双向二线制同步串行总线。数据传输速率在标准模式下可达 100Kbps，在快速模式下可达 400Kbps。

I2C 系统支持多个主设备多个从设备的总线拓扑结构，如果两个或多个主机同时发起数据传输，可以通过冲突检测和仲裁防止数据破坏，每个连接到总线上的器件都有唯一的地址，任何器件既可以作为主机也可以作为从机，但是同一时刻只允许有一个主机。

5.3.15.2. 特性

I2C 包括以下特性：

- 完全兼容 I2C 总线标准
- 支持主从模式
- 支持多个主同时访问模式
- 支持 10 位的地址寻址
- 支持标准模式和快速模式
- 软件可配置的 64 种波特率
- 软件可选择确认位
- 传输完成和读取配置中断
- 启动和停止信号的产生和检测
- 中断方式的字节-字节传输
- 仲裁失败后产生中断，自动有主模式切换到从模式
- 应答位的产生和检测
- 重复启动信号产生
- 信号管脚可配置成GPIO

5.3.15.3. 框图

此模块的框图如下图所示。

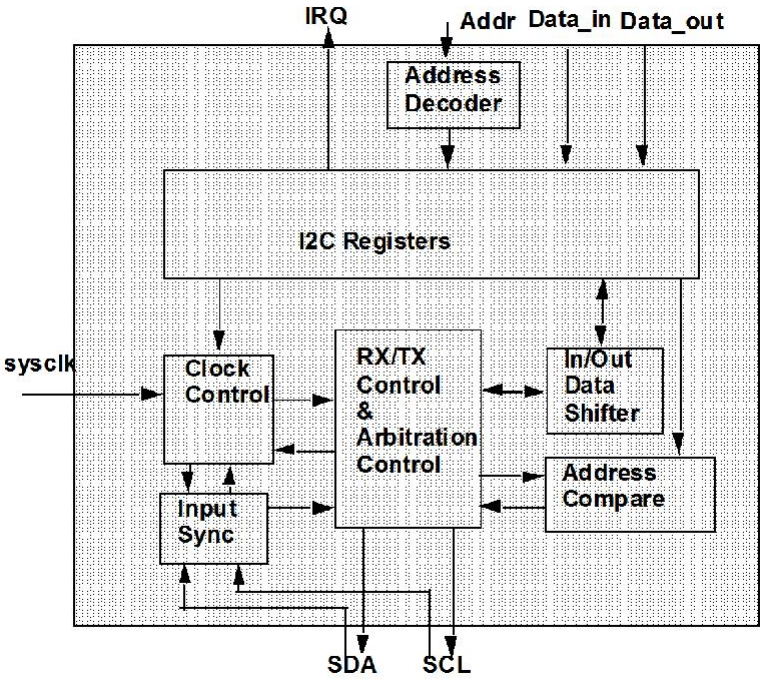


图 5-11 I2C 框图

5.3.15.4. 存储映射

I2C1 模块在系统中的访问基地址为 0x40017000。

I2C2 模块在系统中的访问基地址为 0x40046000。

5.3.16. SPI 模块（SPI）

5.3.16.1. 介绍

SPI 模块是一种全双工，同步的串行通讯接口，软件可以查询 SPI 状态或者等待 SPI 中断来控制数据传输。

5.3.16.2. 特性

SPI 包括以下特性：

- 支持主模式或从模式
- 模式错误标志可触发 CPU 中断
- 可配置成飞思卡尔 SPI 模式或 TI 同步接口模式
- 接受和发送各自有独立的 FIFO（8 位宽，深度为 8）
- 数据格式可配置为 4~16 位

- 支持DMA 操作

5.3.16.3. 框图

此模块的框图如下图所示。

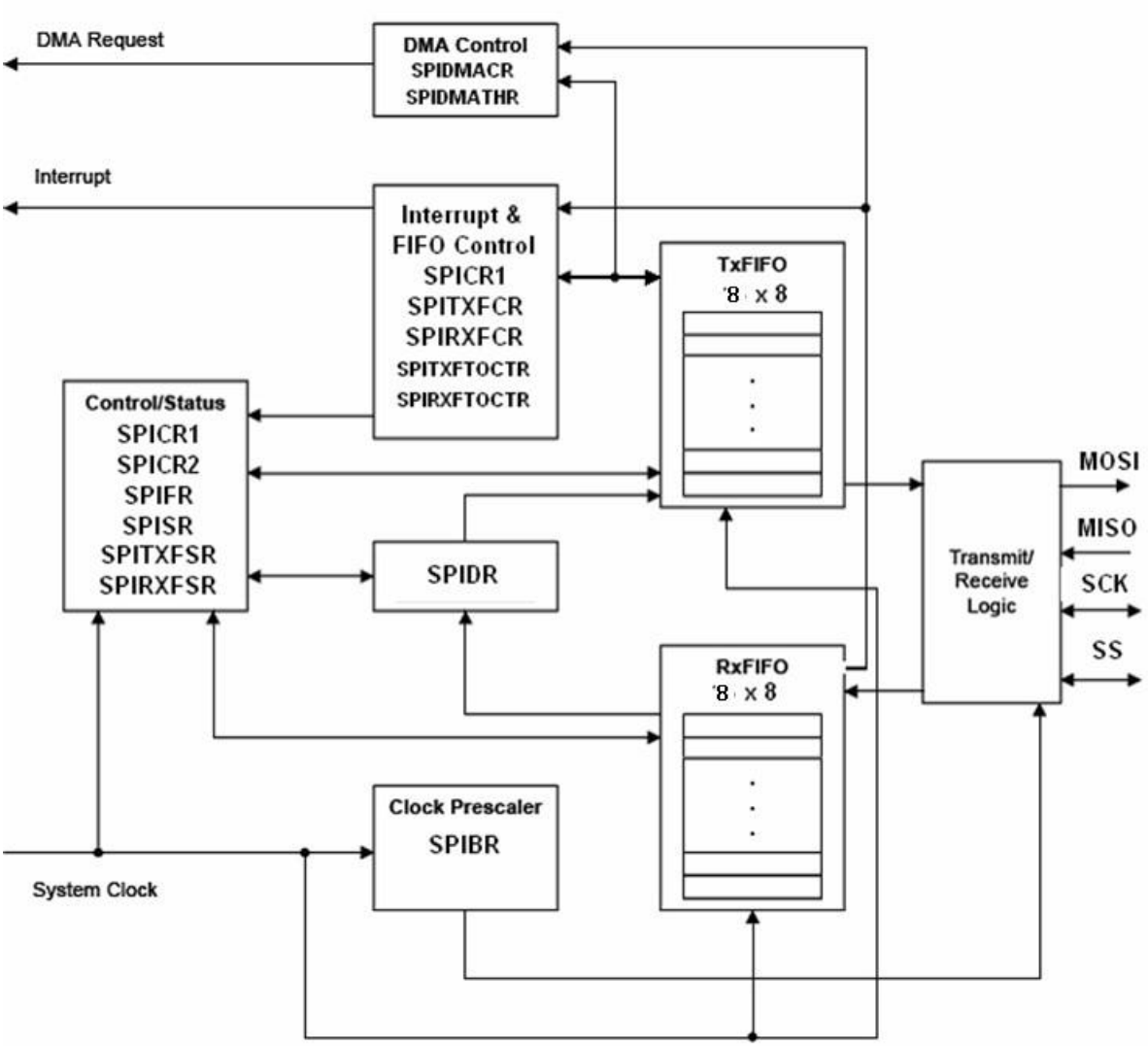


图 5-12 SPI 框图

5.3.16.4. 存储映射

SPI1 模块在系统中的访问基地址为 0x40043000。

SPI2 模块在系统中的访问基地址为 0x40010000。

SPI3 模块在系统中的访问基地址为 0x40011000。

SPI4 模块在系统中的访问基地址为 0x40012000。

5.3.17. SCI 模块（SCI）

5.3.17.1. 介绍

SCI 模块是一种通用异步收发传输器，用于异步应用。该总线双向通信，可以实现全双工传输和接收。

5.3.17.2. 特性

SPI 包括以下特性：

- 全双工模式
- 标准的非归零格式
- 13 位用于波特率配置选择
- 可配置为 8 位或 9 位数据格式
- 多个事件可触发中断
- 接受帧错误检测
- 硬件奇偶校验检测
- 1/16 位时间的噪声检测
- 支持 DMA 操作
- 自动硬件流控

5.3.17.3. 框图

此模块的框图如下图所示。

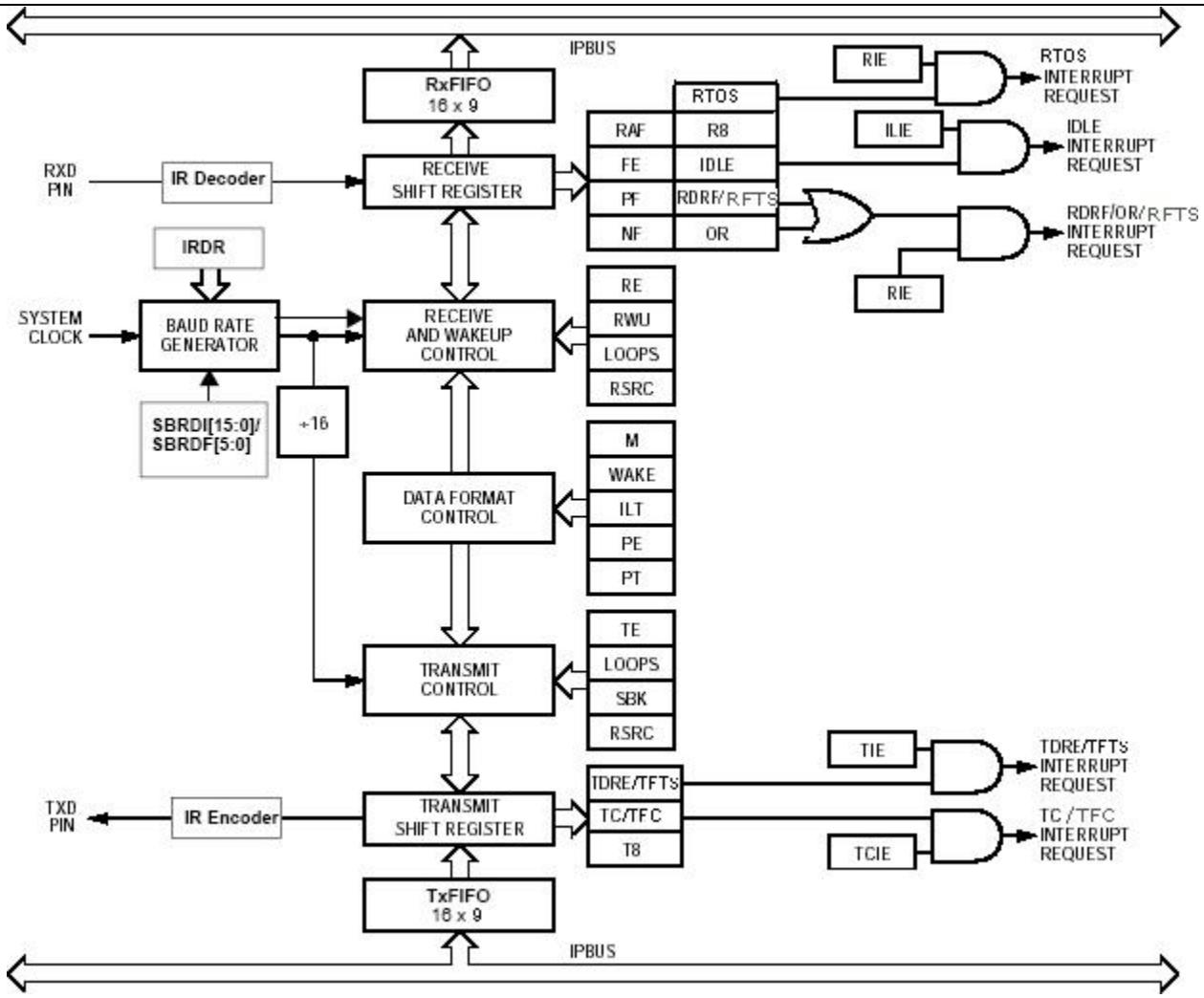


图 5-13 SCI 框图

5.3.17.4. 存储映射

SCI1 模块在系统中的访问基地址为 0x40045000。

SCI2 模块在系统中的访问基地址为 0x40014000。

SCI3 模块在系统中的访问基地址为 0x40015000。

5.3.18. 同步串行接口模块（SSI）

5.3.18.1. 介绍

SSI 模块是一种通用同步串行接口，可以用于访问外部串行设备，比如 Serial Nor Flash。

5.3.18.2. 特性

SSI 包括以下特性：

- 串行主模式
- 支持 DMA 操作
- 支持增强版 SPI
- 支持直接执行读取
- 内置接收和发送 FIFO（位宽 32，深度 8）

5.3.18.3. 框图

此模块的框图如下图所示。

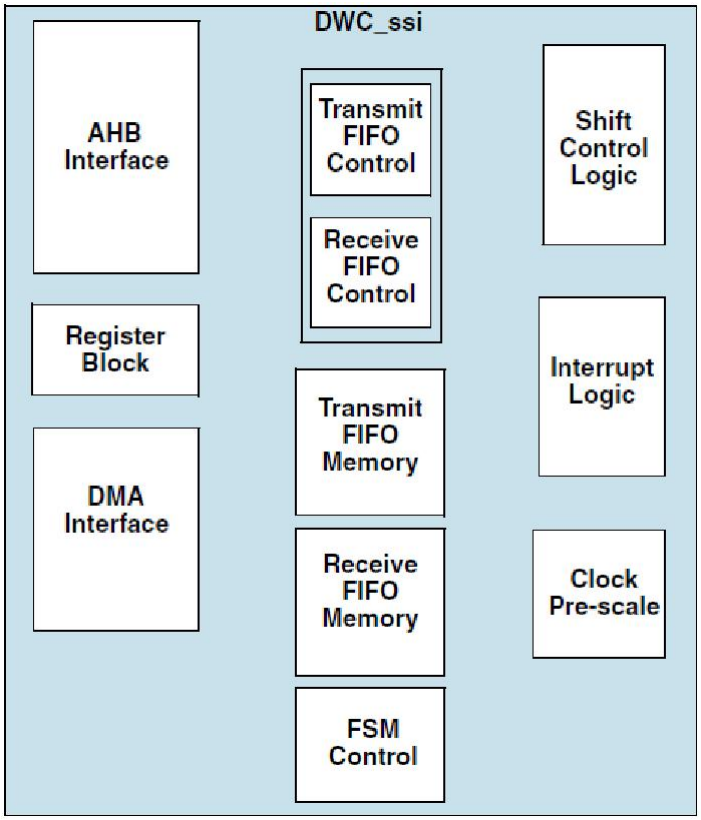


图 5-14 SSI 框图

5.3.18.4. 存储映射

SSI 模块的寄存器在系统中的访问基地址为 0x60000000。

SSI 模块在XIP 模式下访问基地址为 0x10000000。

5.3.19. 嵌入式 Flash 模块（EFlash）

5.3.19.1. 介绍

EFlash 模块包括两块 576 字节，72 位编程的 Flash 模块，72 位包括 64 位的数据和 8 位的 ECC 码。每块 Flash 分成两个区域，一个是 main 区域，一个是 info 区域。Main 区域容量为 64Kx72 位，分成 512 页，每页 1152 字节。Info 区域包括 8 个 1152 字节的页。页擦除会将这一页内所有的位都擦掉。

5.3.19.2. 特性

EFlash 包括以下特性：

- 总容量：（64Kx72+1Kx72）x2
- 支持字节、半字、字的读访问
- 硬件自动完成编程和擦除命令
- 命令结束后可配置产生中断
- 数据保持：10 年
- 1.2V/1.8V 双电源供电

5.3.19.3. 框图

此模块的框图如下图所示。

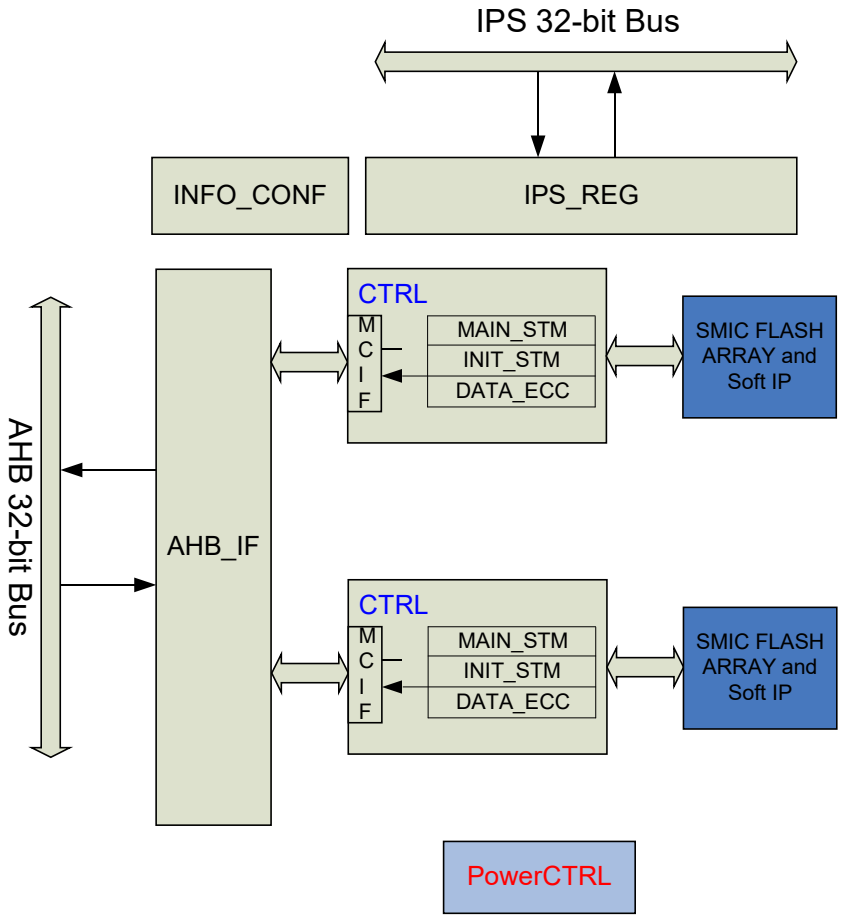


图 5-15 EFlash 框图

5.3.19.4. 存储映射

EFlash 模块的寄存器在系统中的访问基地址为 0x40003000。

Main 区域访问基地址为 0x08000000 或 0x00000000（从 main 区域启动）

Info 区域访问基地址为 0x8600000。当 mode0 脚为低时，从 info 区域启动， 0x08603000~0x08603fff(4KB)和 0x08601000~0x08601fff(4KB)组合成一块 8KB 的空间， CPU 会从 0x08603000 开始取第一条指令，对 CPU 来说，这 8K 空间又会映射为 0x00000000~0x00001fff。

5.3.20. 频率测试模块（Frequency_Test）

5.3.20.1. 介绍

这个模块主要功能是测试内部振荡器的频率，得出在所需频率的修调值。

5.3.20.2. 存储映射

Frequency_Test 模块的寄存器在系统中的访问基地址为 0x40033000。

5.3.21. PCI 模块（PCI）

5.3.21.1. 介绍

这个模块主要功能是用于控制 RTC 的 32K 参考时钟。主要包括内部 32KHz IRC，外部 32KHz 振荡电路和 RTC 模拟时间事件产生，向 RTC 控制器提供所需的信息。

5.3.21.2. 存储映射

PCI 模块的寄存器在系统中的访问基地址为 0x40034000。

5.3.22. 看门狗模块（WDT）

5.3.22.1. 介绍

这个模块的功能和普通计时模块（TC）类似，也是一个 16 位的计数器，在计数溢出后会产生复位，但是不会产生中断。为了避免产生复位，软件必须定时重启计数器。

5.3.22.2. 框图

此模块的框图如下图所示。

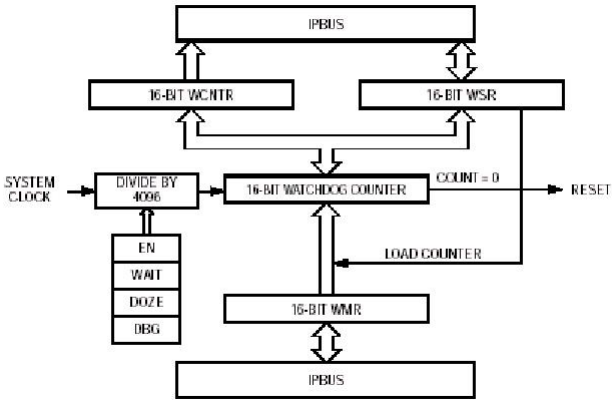


图 5-16 WDT 框图

5.3.22.3. 存储映射

WDT 模块的寄存器在系统中的访问基地址为 0x40005000。

5.3.23. MAC 模块（MAC）

5.3.23.1. 介绍

MAC 模块用于收发网络数据，自带 AHB 接口的 DMA，可以减轻 CPU 的负载。网络标准支持 IEEE 802.3-2005。

5.3.23.2. 特性

MAC 包括以下特性：

- 支持 10/100Mbps 速率
- 支持 MII/RMII 接口的 PHY
- 支持全双工
  - 支持 IEEE 802.3x 流控自动传输 zero-quanta pause frame
  - 可选择将接收的 pause control frame 转发到用户应用程序
- 支持半双工
  - 支持 CSMA/CD 协议
  - 支持背压式流控
  - 在 100Mbps 半双工操作中支持帧突发和帧延展
- 支持 MDIO 接口
- 支持 IEEE 1588-2005 时钟同步协议
- 传输路径支持前导码和 SFD 插入
- 接收路径支持前导码和 SFD 检测
- 发送帧自动生成 CRC 和 pad
- 接收帧可选择自动剥离 CRC 和 pad

- 支持多种灵活地址过滤模式
  - 支持高达 31 个 48 位的 DA 地址过滤
  - 支持高达 31 个 48 位的 SA 地址比较
  - 可选择对多播和单播 DA 地址进行 64 位哈希过滤
  - 可选择跳过所有多播帧
  - 支持用于网络监控的无任何过滤模式
- 支持可编程帧长度，支持标准帧和最高到 16K 字节的 jumbo 帧
- 支持可编程的 interframe MAC（IFMAC）（以 8 比特步进的 40-96 比特时长）
- 支持 IEEE 802.1Q VLAN tag 检测
- 支持面向应用的独立发送、接收和控制端口
- 支持数据统计RMON/MIB Counters（RFC2819/RFC2665）
- 支持以太网帧封装的 IPv4 和 TCP 包的校验（Type 1）
- 支持 IPv4 和 IPv6 数据报文封装的 IPv4 包头、TCP、UDP 以及 ICMP 的 checksum 计算（Type 2）

5.3.23.3. 框图

此模块的框图如下图所示。

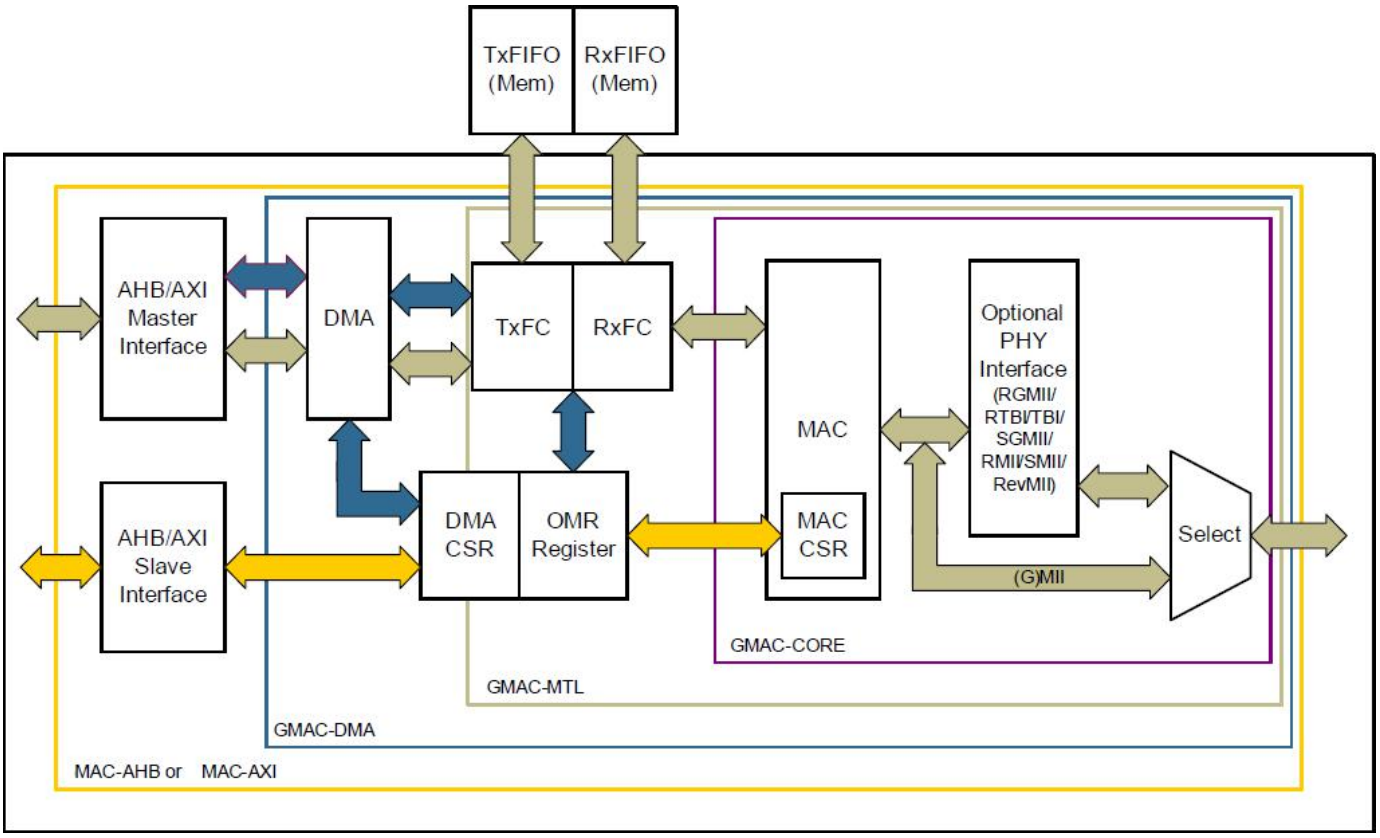


图 5-17 MAC 框图

5.3.23.4. 存储映射

MAC 模块的寄存器在系统中的访问基地址为 0x40080000。

5.3.24. 外部存储接口模块（MIM）

5.3.24.1. 介绍

MIM 模块用于控制内部存储和外部Nand Flash 之间的数据传输。

5.3.24.2. 特性

MIM 包括以下特性：

- 支持 8 位的 Nand Flash
- 可配置的写等待时间
- Nand-Flash 的 Ready/Busy 信号可以通过连接 EPORT 来判断处理

5.3.24.3. 存储映射

MIM 模块的寄存器在系统中的访问基地址为 0x40049000。

MIM 模块的外部Nand Flash 控制寄存器的访问基地址为 0x400a0000。

5.3.25. BCH 模块（BCH）

5.3.25.1. 介绍

BCH 模块用于写 Nand Flash 时对写数据进行 BCH 编码，在读 Nand Flash 时对数据进行BCH 纠错解码。

5.3.25.2. 特性

BCH 包括以下特性：

- 硬件即时编解码

- 支持 1024 位的数据包
- 支持 1~72 位的错误纠错
- 一个周期内纠错一个字节
- 硬件自动纠错

5.3.25.3. 框图

此模块的框图如下图所示。

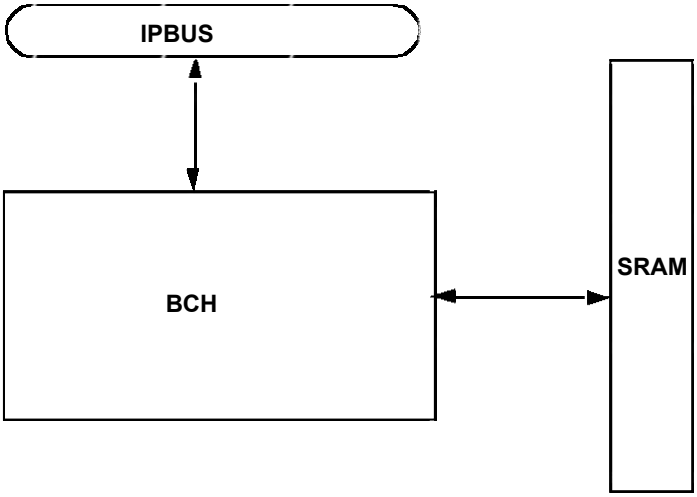


图 5-18 BCH 框图

5.3.25.4. 存储映射

BCH 模块的寄存器在系统中的访问基地址为 0x4004a000。

BCH 模块的内部 SRAM 访问基地址为 0x40060000。

5.3.26. Cache 模块（Cache）

5.3.26.1. 介绍

设计采用两个 256KB 的 cache，一个用于指令 cache，一个用于数据 cache。Cache 控制器采用 32 位的 AHB 总线接口。设计存储采用单端口 SRAM，在没有命中时会连续取 4 个 32 位的数据。

Cache 操作基于两个原则：

- 空间局部性，即如果一个存储的位置被引用，那么将来他附件的位置也会被引用，例如顺序执行的程序。
- 时间局部性，即被引用过一次的存储器位置在未来会被多次引用，例如在一个循环中。

5.3.26.2. 特性

Cache 包括以下特性：

- 2-way 组相连
- 支持 write-through 和 write-back 两种写操作
- 没有命中时一次取 4 个 32 位数据/指令
- APB 寄存器配置接口，可用于使能/关/配置 cache 等操作

5.3.26.3. 框图

此模块的框图如下图所示。

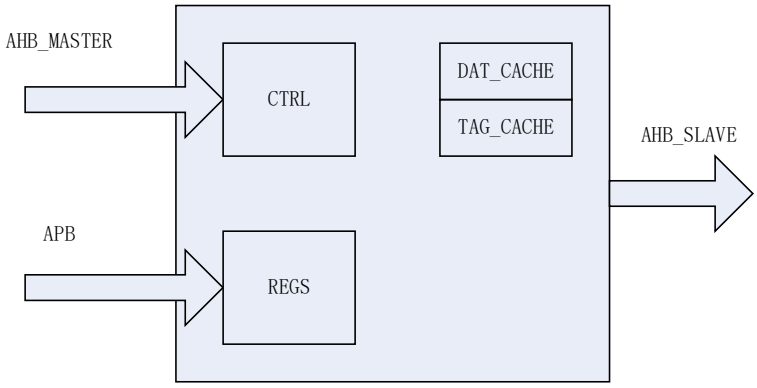


图 5-19 Cache 框图

5.3.26.4. 存储映射

Cache（指令）模块的寄存器在系统中的访问基地址为 0x40071000。

Cache（数据）模块的寄存器在系统中的访问基地址为 0x40075000。

5.3.27. CAN 模块（CAN）

5.3.27.1. 介绍

CAN 模块是一个通讯控制器，基于 CAN2B 协议，完成了此协议的设计。包括两个嵌入式存储器，一个用了存储报文缓冲区，一个当做接收到的独立屏蔽寄存器。提供对 64 个报文缓冲区的支持。

5.3.27.2. 特性

CAN 包括以下特性：

- 支持 CAN 总线协议 2.0 A/B
- 位速率最高可达 1Mbps
- 32 个报文对象，每个报文对象都具有独立的标识符掩码
- 可编程的回环模式，用于实现自检
- 支持中断屏蔽
- 可编程的 FIFO 模式，能存多个报文对象
- 由于支持高优先级消息的仲裁列表，等待时间短
- 和 GPIO 复用的 CANnTX、CANnRX 管脚，可无缝连接片外 CAN 收发器

5.3.27.3. 框图

此模块的框图如下图所示。

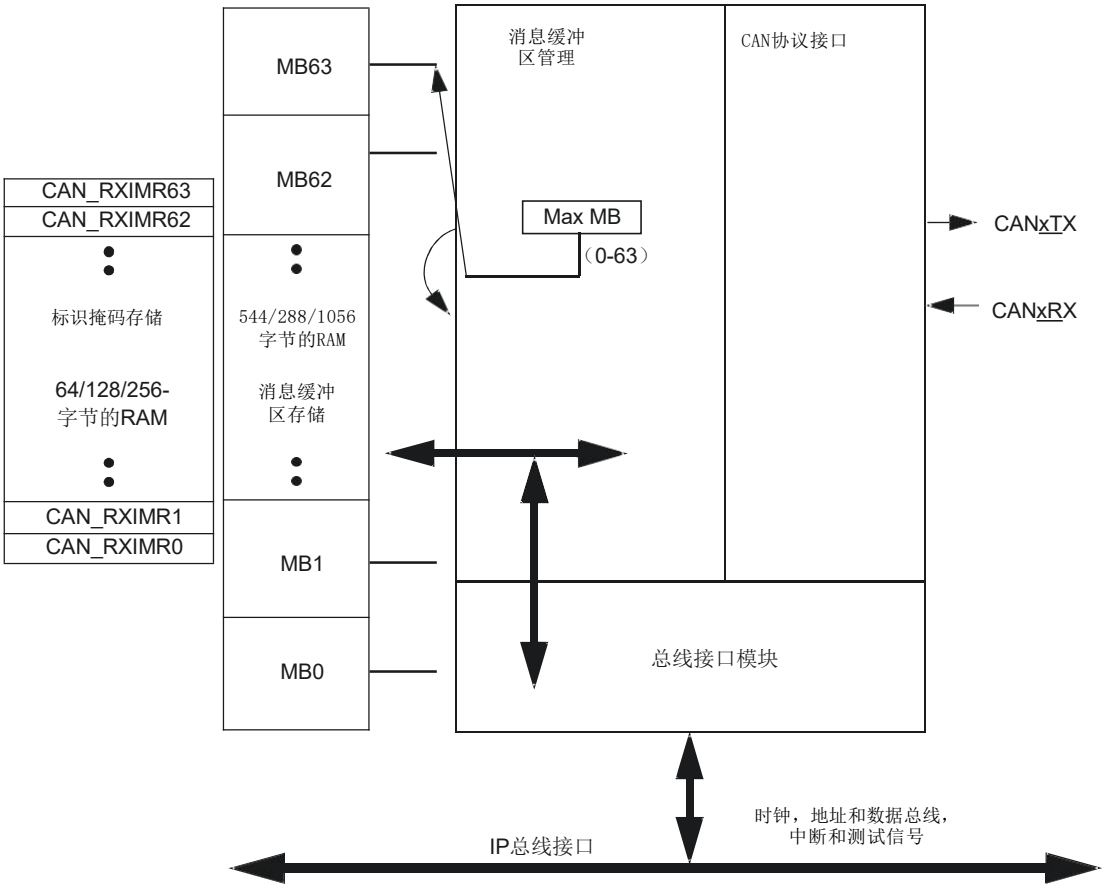


图 5-20 CAN 框图

5.3.27.4. 存储映射

CAN1 模块的寄存器在系统中的访问基地址为 0x4000f000。

CAN2 模块的寄存器在系统中的访问基地址为 0x40044000。

5.3.28. 温度检测模块（TD）

5.3.28.1. 介绍

温度检测模块用来监测芯片的温度，以便在温度异常时通知软件进行处理。

5.3.28.2. 特性

TD 包括以下特性：

- 三种工作模式：温度测量模式，高低温检测模式，单点温度测试模式
- 1℃的分辨率
- ±5℃的精度
- 可设置迟滞

5.3.28.3. 存储映射

TD 模块的寄存器在系统中的访问基地址为 0x40032000。

5.3.29. XILINX JTAG 模块（AHB2JTAG）

5.3.29.1. 介绍

此模块是一个定制的 AHB-lite 接口转Xilinx FPGA JTAG 模块，每次最多可移 32 位的JTAG 向量数据给 FPGA，这个模块替代 CPU 完成按位分解 JTAG 信号，同时接收 FPGA 的 TDO 输出，转成并行数据，在通过网络协议栈返回给下发命令的上位机。

5.3.29.2. 特性

AHB2JTAG 包括以下特性：

- 一个 32 位的 AHB-lite 从接口用于给 CPU 配置
- 一个 32 为的 AHB-lite 主接口用于读取和发送与 FPGA JTAG 的通信数据。

5.3.29.3. 框图

此模块的框图如下图所示。

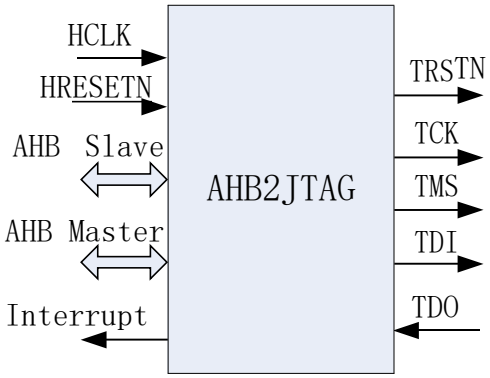


图 5-21 AHB2JTAG 框图

5.3.29.4. 存储映射

AHB2JTAG 模块的寄存器在系统中的访问基地址为 0x40050000