Ver 2.0

3.3V CMOS 四路 LVDS 差分发送器

产品型号：YK54LVDS031LV

元坤芯片事业部

联系人：刘先生（13621148533）

www.ic112.com / www.777ic.com

版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2018.4.11	——	——	
2.0	2018.8.15	——	更改模板（按新模板进行正文章节调整，且原附录 1、2 内容按新模板移入对应正文章节），修改笔误；	
		一	更新可兼容的国外产品	
		三	更新图 3、表 3 成型图及成型尺寸	
		七	增加对 7.1.1 对电源的要求、7.1.2 终端匹配电阻；	
		附录 1	增加附录 1 对应替代国外产品情况	

目 录

一、 产品概述----------1

1.1 产品特点 ----------1

1.2 产品用途及应用范围 ----------1

二、产品工作条件----------2

2.1 绝对最大额定值----------2

2.2 推荐工作条件----------2

2.3 热特性参数----------2

三、封装及引出端说明----------2

3.1 引出端排列----------2

3.2 外形尺寸说明----------3

四、产品功能----------5

4.1 产品的基本工作原理 ----------5

4.2 功能描述 ----------6

五、产品电特性----------6

六、典型应用----------9

七、应用注意事项----------9

7.1 产品应用说明 ----------9

7.2 产品防护----------11

附录 1 对应替代国外产品情况----------13

一、产品概述

1.1 产品特点

- 可处理 400Mbps(200MHz)频率的信号
- 340mV 标准差分输出电压
- 3.3V 工作电压
- 兼容 TTL 输入
- 采用低功耗的 CMOS 工艺
- 所有引出端具有冷备份功能
- 最大 3ns 的数据传输延时
- 最大 400ps 的低高-高低数据传输延时差异
- 16 引脚扁平封装
- 兼容美军标 5962-97621、5962-98651（不含抗辐射指标）
  兼容 Cobham 公司 UT54LVDS031LV（不含抗辐射指标）
  兼容 TI 公司 DS90LV031AQML、 DS90LV031AQML-SP
  兼容 TI 公司 SN55LVDS31、SN55LVDS31-SP
  兼容 ST 公司 RHFLVDS31A（不含抗辐射指标）
- 符合 IEEE 1596.3SCI LVDS 标准
- 符合 ANSI/TIA/EIA 644-1996 LVDS 标准

1.2 产品用途及应用范围

YK54LVDS031LV 型电路是针对低功耗、高速率应用所设计的军用3.3V CMOS四路LVDS发送器。采用低电压差分信号传输（LVDS）技术，电路可支持超过 400 Mbps (200 MHz)的数据传输速率。

YK54LVDS031LV型电路接收 CMOS/TTL 信号输入并将其转换为低压差分信号(差分电 压典型值 340mV)输出。电路具有三态功能，可停止输出级输出、切断负载电流，因此实现 电路的超低待机功耗。

YK54LVDS031LV电路与 B54LVDS032LV 型 3.3V CMOS 四路 LVDS 差分接收器电路配合使用，可替代高功耗的 PECL 电路用于高速点对点接口应用。

所有引出端均具备冷备份功能，当 V_{DD} 与连接至地电位时，所有端口均为高阻。

二、产品工作条件

2.1 绝对最大额定值

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	-0.3～4.0	V
输入、输出电压	V_I、V_O	-0.3～4.0	V
最大功耗	P_D	<1.25	W
贮存温度	T_{stg}	-65～150	℃
耐焊接温度（10s）	T_h	<260	℃
结温	T_j	<150	℃

2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	3.0~3.6	V
输入电压	V_I	0～V_{DD}	V
工作温度范围	T_A	-55～125	℃
工作速度	f	≤400	Mbps

2.3 热特性参数

参数名称	参数符号	测试条件	参数值	单位
热阻，结到壳	θ_{JC}		10	℃/W

三、封装及引出端说明

3.1 引出端排列

YK54LVDS031LV 引脚排列顺序如图 1 所示。

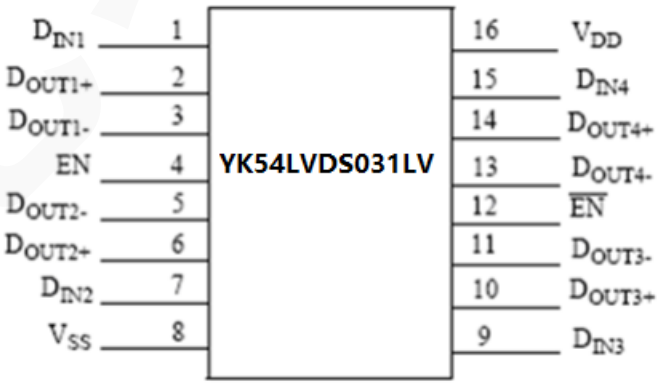

图1　YK54LVDS031LV 引脚示意图

YK54LVDS031LV 引脚定义见**错误！未找到引用源。**：

表1　YK54LVDS031LV 引脚列表

引出端序号	符号	名称	引出端序号	符号	名称
1	D_{IN1}	第一路数据输入	9	D_{IN3}	第三路数据输入
2	D_{OUT1+}	第一路数据输出正端	10	D_{OUT3+}	第三路数据输出正端
3	D_{OUT1-}	第一路数据输出负端	11	D_{OUT3-}	第三路数据输出负端
4	EN	高电平有效使能端	12	$\overline{EN}$	低电平有效使能端
5	D_{OUT2-}	第二路数据输出负端	13	D_{OUT4-}	第四路数据输出负端
6	D_{OUT2+}	第二路数据输出正端	14	D_{OUT4+}	第四路数据输出正端
7	D_{IN2}	第二路数据输入	15	D_{IN4}	第四路数据输入
8	V_{SS}	地	16	V_{DD}	电源

3.2 外形尺寸说明

YK54LVDS031LV 型 3.3V CMOS 四路 LVDS 差分发送器电路封装及外形尺寸见**错误！未找到引用源。**和**错误！未找到引用源。**。

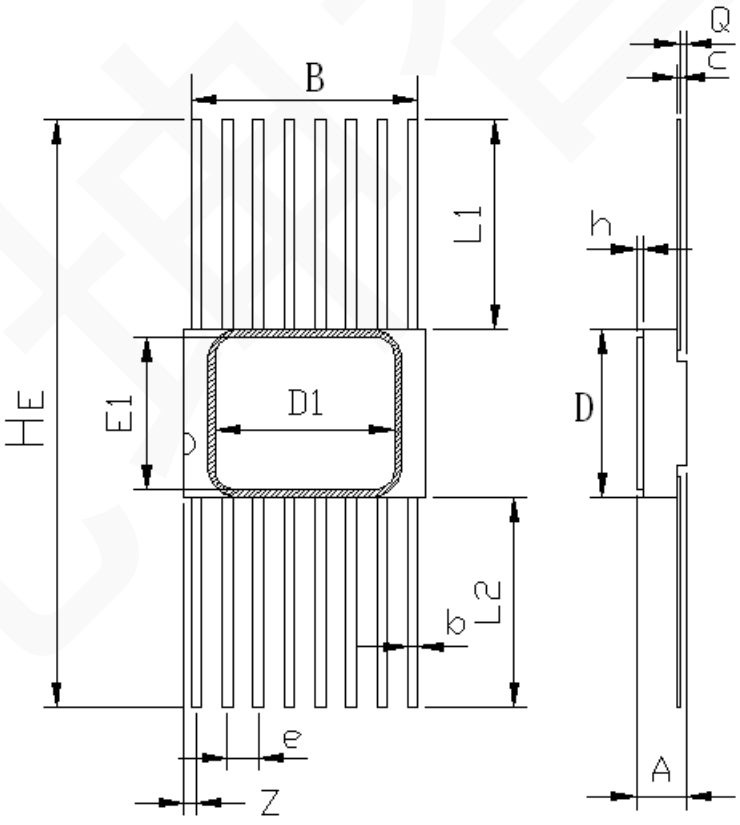

图2　FP16 外壳尺寸示意图

表2　FP16 外形尺寸

尺寸符号	数　值（单位：毫米）		
	最　小	公　称	最　大
A	1.60	——	2.50
B	8.94	——	9.69
b	0.25	——	0.54
c	0.07	——	0.20
D	6.55	——	7.25
e	——	1.27	——
He	18.76	19.41	20.06
Q	0.13	——	0.90
L1	5.75	——	6.75
L2	5.75	——	6.75
Z	——	——	1.27
D1	——	7.366	——
E1	——	6.223	——
h	0.22	——	0.28

YK54LVDS031LV 推荐的 FP16 成型及成型尺寸见**错误！未找到引用源。**和**错误！未找到引用源。**。

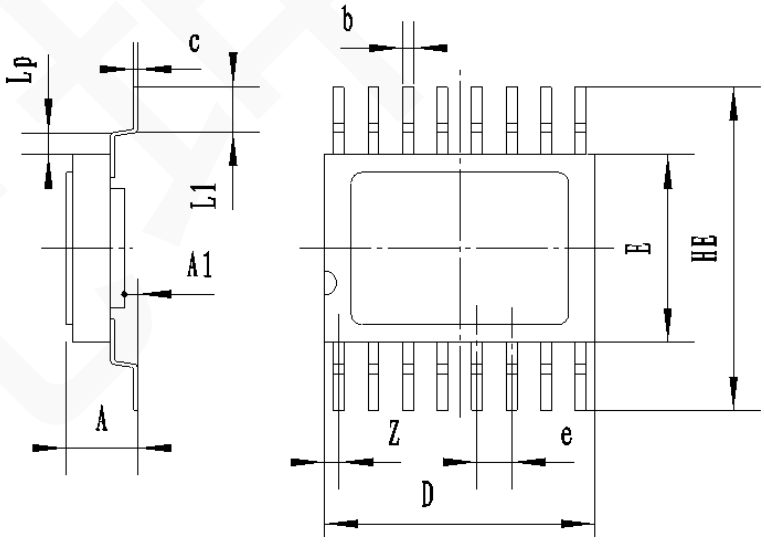

图3　FP16 成型尺寸示意图

表3　FP16 成型尺寸

尺寸符号	数　值（单位：毫米）		
	最　小	公　称	最　大
A	2.3	——	3.2
A1	0.5	0.75	1.01
b	——	0.43	——
c	——	0.13	——
e	——	1.27	——
Z	——	0.53	——
D	——	9.96	——
E	6.76	6.91	7.06
HE	11.76	12.91	14.06
L1	1.5	2	2.5
LP	1.0	1.0	1.15

四、产品功能

YK54LVDS031LV电路用于将 CMOS/TTL 信号转换成 LVDS 信号。驱动级的电流源提供 3.5mA 左右的恒流，通过开关控制该电流流过负载电阻的方向，就可以在负载两端产生 350mV 或-350mV 的电压信号，即 LVDS 信号。

4.1 产品的基本工作原理

3.3V CMOS 四路 LVDS 差分发送器结构框图如图 4 所示。

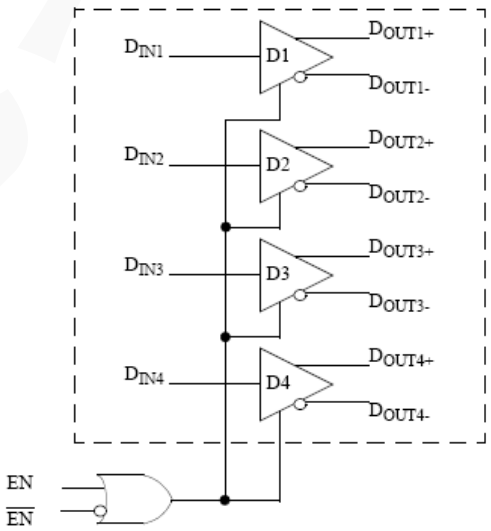

图4　YK54LVDS031LV 结构图

4.2 功能描述

YK54LVDS031LV的驱动级采用平衡电流源设计。电流驱动模式的驱动器具有高输出阻抗，其提供的电流为恒定电流，通过终端电阻几乎没有损耗(而电压驱动模式的驱动器在一定的终端电阻上产生固定的电压值)。电流流过终端电阻，在其一端产生一逻辑电位，另一端产生另外的逻辑电位。YK54LVDS031LV主要包含恒定电流产生模块、使能控制模块及单端转双端控制模块等。在内部模块的控制下，任一状态的 CMOS/TTL 信号输入都对应着一个确定的 LVDS 差分输出状态，即将 CMOS/TTL 输入信号转换成为 LVDS 输出信号。

对应 CMOS/TTL 信号的‘高’状态，LVDS 输出正端与负端电平之差为正的 340mV；对应 CMOS/TTL 信号的‘低’状态，LVDS 输出正端与负端电平之差为负的 340mV。

器件的真值表如表 4：

表4　真值表

使能信号		输入	输出	
EN	$\overline{EN}$	D_{IN}	D_{OUT+}	D_{OUT-}
L	H	X	Z	Z
使能信号的其他组合		L	L	H
		H	H	L

五、产品电特性

除另有规定外，电特性应按表 5 的规定，并适用于全温度范围。交流参数示意图见图 5，图 6。

表5　电参数特性表

参数	符号	条件（除另有规定外，-55℃≤ T_A ≤ 125℃ V_{DD}=3.3×（1±10%）V）	极限值		单位	分组
			最小	最大		
输入高电平电压	V_{IH}	(TTL)	2.0	V_{DD}	V	A1 A2 A3
输入低电平电压	V_{IL}	(TTL)	GND	0.8	V	
输出高电平电压	V_{OH}	R_L=100Ω	—	1.650	V	
输出低电平电压	V_{OL}	R_L=100Ω	0.925	—	V	
输入电流	I_{IN}	V_{IN}= V_{DD} 或 V_{SS}，V_{DD}=3.6V	-10	10	μA	
冷备份漏电流	I_{CS}	V_{IN}= 3.6V，V_{DD}=V_{SS}，测输入端 V_{OUT}= 3.6V，V_{DD}=V_{SS}，测输出端	-20	20	μA	
差分输出电压	V_{OD}	R_L=100Ω	250	400	mV	
互补输出的 V_{OD} 变化量	ΔV_{OD}	R_L=100Ω	—	35	mV	
共模输出电压	V_{OS}	R_L=100Ω，V_{OS} =(V_{OL}+V_{OH}) /2	1.125	1.450	V	
互补输出的 V_{OS} 变化量	ΔV_{OS}	R_L=100Ω	—	25	mV	
输入钳位电压	V_{CL}	I_{CL} =-18 mA	-1.5	—	V	
输出短路电流	I_{OS}	V_{IN}=V_{DD},V_{OUT+}=0V 或 V_{IN}=V_{SS},V_{OUT-}=0V	-9.0	—	mA	
输出三态电流	I_{OZ}	EN=0V，$\overline{EN}$ =3.3V	-10	10	μA	
带载总电流,使能打开	I_{CCL}	所有通道 R_L=100Ω,所有 V_{IN}=V_{DD} 或 0V	—	18.0	mA	
带载总电流,使能关闭	I_{CCZ}	EN=0V,$\overline{EN}$ =V_{DD},V_{IN}= V_{DD} 或 0V	—	3.0	mA	
功能测试		f =200MHz, V_{DD}=3.3V	—	—	—	—
高到低传输延迟	t_{PHLD}	见图 5	—	3.0	ns	A9 A10 A11
低到高传输延迟	t_{PLHD}	见图 5	—	3.0	ns	
差分偏差	t_{SKD}	t_{PLHD} -t_{PHLD}	—	0.4	ns	
通道间偏差 [a]	t_{SK1}		—	0.5	ns	
芯片间偏差 [b]	t_{SK2}		—	2.7	ns	
高到高阻态的时间	t_{PHZ}	见图 6	—	5.0	ns	
低到高阻态的时间	t_{PLZ}	见图 6	—	5.0	ns	
高阻态到高的时间	t_{PZH}	见图 6	—	7.0	ns	
高阻态到低的时间	t_{PZL}	见图 6	—	7.0	ns	

注 1：A1(常温静态测试)、A2(高温静态测试)、A3(低温静态测试)、A9(常温交流测试)、A10（高温交流测试）、A11(低温交流测试)。

注 2：除特别说明外，V_{DD} =3.0V 和 3.6V。

注 3：对直流参数，定义流入器件管脚的电流为正向，流出管脚的电流为负。所有电压值均为对地电压。

注 4：除特别说明外，以上所有开关参数指标均在以下激励信号源下测得：频率 1MHz，输出阻抗 50 欧姆，上升时间小于等于 1ns，下降时间小于等于 1ns。

[a] 通道间偏差定义为，同一芯片的各通道上加相同激励时各通道的传输延迟时间之差。

[b] 芯片间偏差定义为最大与最小差分传输延迟之差。

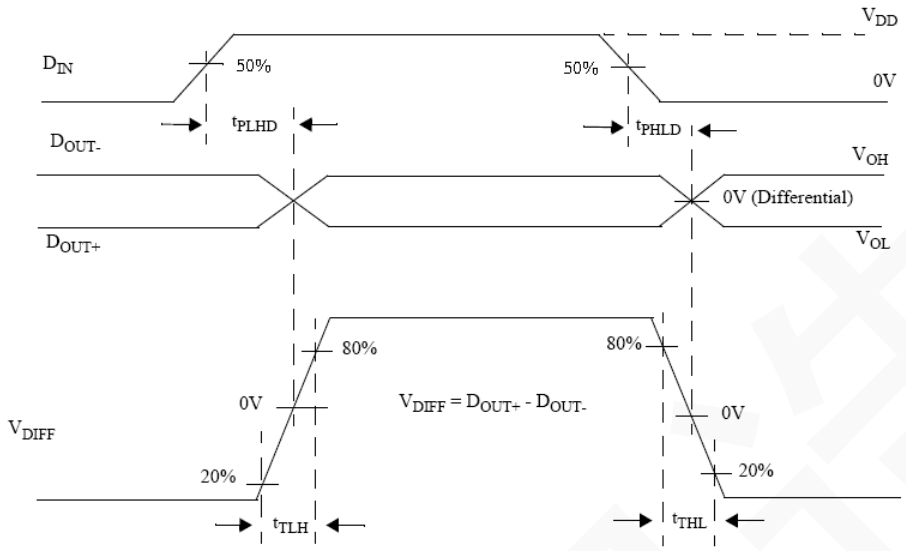

图5　传输延时波形示意图

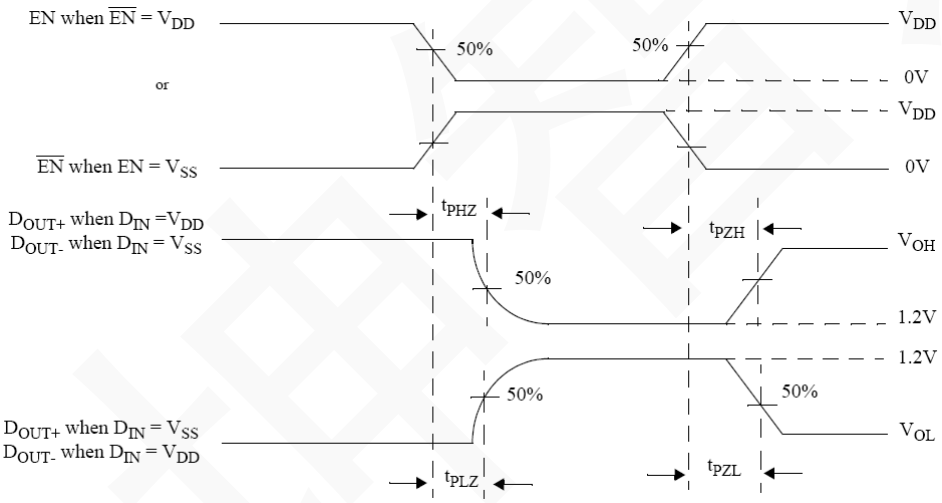

图6　三态延时波形图

六、典型应用

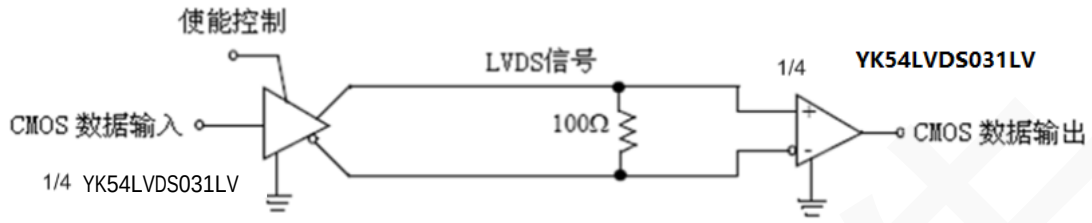

图7　YK54LVDS031LV 应用示意图

作为低压差分信号传输电路的发送器电路，YK54LVDS031LV 将输入 CMOS 电平或 TTL 电平快速转化为低摆幅，低噪声，高转化速率的 LVDS 信号电平输出。YK54LVDS031LV 电路与 YK54LVDS032LV 型 3.3V CMOS 四路 LVDS 差分接收器电路配合使用，可实现信号的高速可靠传输。但是输出端不可使用 AC 耦合或者无终端电阻的负载电路结构。

YK54LVDS031LV 型发送器通常应用于如图 7 所示的简单点对点的传输结构，器件具有一致地电位。对于高速（边沿速率），这种点对点连接有清晰的路径，可以提供最佳的信号质量。接收器与驱动器通过平衡介质进行连接，平衡介质如标准双绞线，并行同轴电缆或者 PCB 走线。通常，介质的特征阻抗为 100Ω。使用时需要一个与介质差分阻抗相匹配的 100Ω 终端电阻，并且终端电阻应布放在尽量靠近接收器输入端处。终端电阻将驱动电流转换为接收器的输入电压。

YK54LVDS031LV 的其他应用电路结构参照《Q/W 1216-2009 航天器用 LVDS 接口电路设计准则》。

七、应用注意事项

7.1 产品应用说明

7.1.1 对电源的要求

必须注意 YK54LVDS031LV 器件的上电次序，通常原则是：首先加电源，再加信号。电源上电时间应大于 1us。

电路工作电压范围 3.0V~3.6V，电源电压绝对最大额定值为-0.3V～+4.0V，电路要工作在使用条件范围内，以免过电应力造成电路损坏。

7.1.2 终端匹配电阻

YK54LVDS031LV 电路需要依靠 100Ω 终端匹配电阻生成 LVDS 电路，YK54LVDS031LV 输出端不可使用 AC 耦合或者无终端电阻的负载电路结构。当接收端电路没有集成的 100Ω 终端匹配时，终端电阻应布放在尽量靠近接收器输入端处。

7.1.3 冷备份功能

冷备份功能是指当电路的电源端接 GND 电位时，从端口到电源的直流通路为高阻状态。YK54LVDS031LV 电路的所有端口均具备冷备份功能。

7.1.4 未使用输入端的处理

YK54LVDS031LV电路的输入端不允许悬空，因为悬空会使电位不定，破坏正常的逻辑关系。另外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作，而且也极易造成栅极感应静电而击穿，因此器件的无用端子必须连接到一个高电平或低电平。

以上所说的未使用输入端，包括没有被使用但已接通电源的 CMOS 电路所有输入端。例如，器件上有 4 路 LVDS 发送器，电路中只用其中一个，其它三路的所有输入端必须按未使用输入端处理。

如果要在印刷电路板上安装 YK54LVDS031LV 电路，尽可能做到在与它有关的其它元件安装之后再装 YK54LVDS031LV 电路，避免 YK54LVDS031LV 器件输入端悬空。

7.1.5 PCB 板设计

电路板布局与层叠结构设计需要为器件提供低噪电源。电路板设计需要隔离高频高压输入输出引脚、减少不需要的噪声接收、反馈和干扰。层叠结构最少四层板，以四层板为例（顶层到底层），信号布局为 LVDS 信号、GND、VCC 与 TTL/CMOS 信号。在电源层与地层之间使用薄的绝缘介质，增强 PCB 电源系统的本征电容，改善电源滤波。建议在 PCB 的最外层敷上地平面，改善电源平面系统的屏蔽和隔离。

7.1.6 电源旁路电容

电源旁路电容的主要作用是为前级干扰（如电源产生的高频噪声等干扰）提供一条流到地平面的低阻抗路径，以避免这些干扰影响正在高速工作的电路。外部电源旁路电容尽量选择射频陶瓷和钽电解质类型。推荐表贴高频陶瓷 0.1uF，并联 0.01uF，并联 0.001uF 在电源供电引脚上。如图 8 所示，摆放位置尽可能的距电源引脚近，使用多个过孔连接旁路电容到电源平面上。另外需要一个 10uF（35V）或者更大的固态钽电容连接在 PCB 板的电源入口

处。

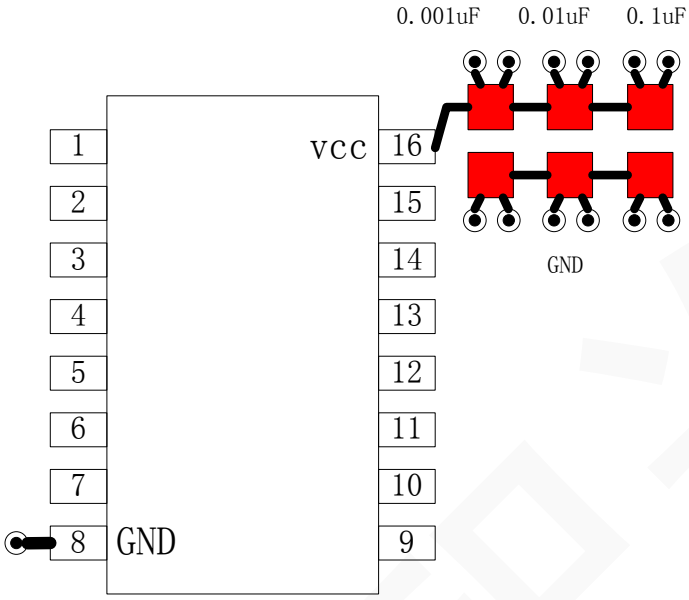

图8　YK54LVDS031LV 电源旁路电容连接示意图

7.2 产品防护

7.2.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

a）器件应在防静电的工作台上操作；

b）试验设备和器具应接地；

c）不能直接用手触摸器件引线，应佩戴防静电指套和腕带；

d）器件应存放在防静电材料制成的容器中；

e）生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；

f）相对湿度应尽可能保持在 20%~70%。

7.2.2 包装

器件包装应至少满足以下要求：

a）由无腐蚀的材料制成；

b）具有足够的强度，能够经得起搬运过程中的震动和冲击；

c）用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；

d）能够牢固的把所装器件支撑在一定的位置；

e）能保持器件引线不发生变形；

f）没有锋利的棱角；

g）能安全容易的移动、检查和替换器件；

h）一般不使用聚氯乙稀、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

7.2.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

a）运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

b）贮存：包装好的产品应贮存在环境温度为 15℃~25℃，相对湿度不大于 25%~65%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

附录 1 对应替代国外产品情况

替代国外型号：UT54LVDS031LV			国外生产商：Cobham
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	3.0V~3.6V	3.0V~3.6V	一致
输入高电平电压	2.0V~V_{DD}	2.0V-V_{DD}	一致
输入低电平电压	G_{ND}~0.8V	G_{ND}~0.8V	一致
输出高电平电压	≤1.65V	≤1.65V	一致
输出低电平电压	≥0.925V	≥0.925V	一致
输入电流	-10μA~10μA	-10μA~10μA	一致
冷备份电流	-20μA~20μA	-20μA~20μA	一致
差分输出电压	250mV~400mV	250mV~400mV	一致
互补输出的 VOD 变化量	≤35mV	≤35mV	一致
共模输出电压	1.125V~1.45V	1.125V~1.45V	一致
互补输出的 VOS 变化量	≤25mV	≤25mV	一致
输入钳位电压	≥-1.5V	≥-1.5V	一致
输出短路电流	≥-9mA	≥-9mA	一致
输出三态电流	-10μA~10μA	-10μA~10μA	一致
带载总电流，使能打开	≤18mA	≤20mA	差异不影响兼容替代
带载总电流，使能关闭	≤3mA	≤4mA	差异不影响兼容替代
高到低传输延迟	≤3ns	≤3ns	一致
低到高传输延迟	≤3ns	≤3ns	一致
差分偏差	≤0.4ns	≤0.4ns	一致
通道间偏差	≤0.5ns	≤0.5ns	一致
芯片间偏差	≤2.7ns	≤2.7ns	一致
高到高阻态的时间	≤5ns	≤5ns	一致
低到高阻态的时间	≤5ns	≤5ns	一致
高阻态到高的时间	≤7ns	≤7ns	一致
高阻态到低的时间	≤7ns	≤7ns	一致
最大工作速率	≤400Mbps	≤400Mbps	一致
抗静电能力（人体模型）	8000V	2000V	优于
电离总剂量	/	≥100K rad（Si） ≥1M rad（Si）	差异不影响非宇航应用的兼容替代
SEL 阈值	/	≥100MeV·cm^2/mg	差异不影响非宇航应用的兼容替代
电路盖板电位	浮空	接 G_{ND}	不一致(外壳差异)

替代国外型号：DS90LV031AQML DS90LV031AQML-SP			国外生产商：TI
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	3.0V~3.6V	3.0V~3.6V	一致
输入高电平电压	2.0V~V_{DD}	2.0V-V_{DD}	一致
输入低电平电压	G_{ND}~0.8V	G_{ND}~0.8V	一致
输出高电平电压	≤1.65V	≤1.85V	差异不影响兼容替代
输出低电平电压	≥0.925V	≥0.9V	差异不影响兼容替代
输入电流	-10μA~10μA	-10μA~10μA	一致
冷备份电流	-20μA~20μA	-20μA~20μA	一致
差分输出电压	250mV~400mV	250mV~450mV	差异不影响兼容替代
互补输出的 VOD 变化量	≤35mV	≤50mV	差异不影响兼容替代
共模输出电压	1.125V~1.45V	1.125V~1.625V	差异不影响兼容替代
互补输出的 VOS 变化量	≤25mV	≤50mV	差异不影响兼容替代
输入钳位电压	≥-1.5V	≥-1.5V	一致
输出短路电流	≥-9mA	≥-9mA	一致
输出三态电流	-10μA~10μA	-10μA~10μA	一致
带载总电流，使能打开	≤18mA	≤35mA	差异不影响兼容替代
带载总电流，使能关闭	≤3mA	≤12mA	差异不影响兼容替代
高到低传输延迟	≤3ns	≤3.5ns	差异不影响兼容替代
低到高传输延迟	≤3ns	≤3.5ns	差异不影响兼容替代
差分偏差	≤0.4ns	≤1.5s	差异不影响兼容替代
通道间偏差	≤0.5ns	≤1.75ns	差异不影响兼容替代
芯片间偏差	≤2.7ns	≤3.2ns	差异不影响兼容替代
高到高阻态的时间	≤5ns	/	/
低到高阻态的时间	≤5ns	/	/
高阻态到高的时间	≤7ns	/	/
高阻态到低的时间	≤7ns	/	/
最大工作速率	≤400Mbps	≤400Mbps	一致
抗静电能力（人体模型）	8000V	6000V	优于

替代国外型号：SN55LVDS31-SP　SN55LVDS31-SP			国外生产商：TI
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	3.0V~3.6V	3.0V~3.6V	一致
输入高电平电压	2.0V~V_{DD}	2.0V-V_{DD}	一致
输入低电平电压	G_{ND}~0.8V	G_{ND}~0.8V	一致
输出高电平电压	≤1.65V	≤1.85V	差异不影响兼容替代
输出低电平电压	≥0.925V	≥0.9V	差异不影响兼容替代
输入电流	-10μA~10μA	-20μA~10μA	差异不影响兼容替代
冷备份电流	-20μA~20μA	-4μA~4μA	差异不影响兼容替代
差分输出电压	250mV~400mV	247mV~454mV	差异不影响兼容替代
互补输出的 VOD 变化量	≤35mV	≤50mV	差异不影响兼容替代
共模输出电压	1.125V~1.45V	1.125V~1.375V	差异不影响兼容替代
互补输出的 VOS 变化量	≤25mV	≤50mV	差异不影响兼容替代
输入钳位电压	≥-1.5V	/	/
输出短路电流	≥-9mA	≥-24mA	差异不影响兼容替代
输出三态电流	-10μA~10μA	-1μA~1μA	差异不影响兼容替代
带载总电流，使能打开	≤18mA	≤35mA	差异不影响兼容替代
带载总电流，使能关闭	≤3mA	≤1mA	差异不影响兼容替代
高到低传输延迟	≤3ns	1ns~4.5ns	差异不影响兼容替代
低到高传输延迟	≤3ns	0.5ns~4ns	差异不影响兼容替代
差分偏差	≤0.4ns	≤0.6s	差异不影响兼容替代
通道间偏差	≤0.5ns	≤0.6ns	差异不影响兼容替代
芯片间偏差	≤2.7ns	≤3.2ns	差异不影响兼容替代
高到高阻态的时间	≤5ns	≤15ns	差异不影响兼容替代
低到高阻态的时间	≤5ns	≤15ns	差异不影响兼容替代
高阻态到高的时间	≤7ns	≤17ns	差异不影响兼容替代
高阻态到低的时间	≤7ns	≤17ns	差异不影响兼容替代
最大工作速率	≤400Mbps	≤400Mbps	一致
抗静电能力（人体模型）	8000V	6000V	优于

替代国外型号：RHFLVDS31A			国外生产商：ST
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	3.0V~3.6V	3.0V~3.6V	一致
输入高电平电压	2.0V~V_{DD}	2.0V-V_{DD}	一致
输入低电平电压	G_{ND}~0.8V	G_{ND}~0.8V	一致
输出高电平电压	≤1.65V	≤1.65V	一致
输出低电平电压	≥0.925V	≥0.925V	一致
输入电流	-10μA~10μA	-10μA~10μA	一致
冷备份电流	-20μA~20μA	-20μA~20μA	一致
差分输出电压	250mV~400mV	250mV~400mV	一致
互补输出的 VOD 变化量	≤35mV	≤10mV	差异不影响兼容替代
共模输出电压	1.125V~1.45V	1.125V~1.45V	一致
互补输出的 VOS 变化量	≤25mV	≤15mV	差异不影响兼容替代
输入钳位电压	≥-1.5V	≥-1.5V	一致
输出短路电流	≥-9mA	≥-9mA	一致
输出三态电流	-10μA~10μA	-10μA~10μA	一致
带载总电流，使能打开	≤18mA	≤20mA	差异不影响兼容替代
带载总电流，使能关闭	≤3mA	≤4mA	差异不影响兼容替代
高到低传输延迟	≤3ns	0.5ns~1.5ns	差异不影响兼容替代
低到高传输延迟	≤3ns	0.5ns~1.5ns	差异不影响兼容替代
差分偏差	≤0.4ns	≤0.3ns	差异不影响兼容替代
通道间偏差	≤0.5ns	≤0.28ns	差异不影响兼容替代
芯片间偏差	≤2.7ns	≤0.7ns	差异不影响兼容替代
高到高阻态的时间	≤5ns	≤2.8ns	差异不影响兼容替代
低到高阻态的时间	≤5ns	≤2.8ns	差异不影响兼容替代
高阻态到高的时间	≤7ns	≤2.5ns	差异不影响兼容替代
高阻态到低的时间	≤7ns	≤2.5ns	差异不影响兼容替代
最大工作速率	≤400Mbps	≤400Mbps	一致
抗静电能力（人体模型）	8000V	2000V	优于
电离总剂量	/	≥300K rad（Si）	差异不影响非宇航应用的兼容替代
SEL 阈值	/	≥120MeV cm^2/mg	差异不影响非宇航应用的兼容替代
电路盖板电位	浮空	接 G_{ND}	不一致(外壳差异)