Ver 3.4

抗辐照 30 万门单粒子加固 FPGA

产品型号：YKVR300

元坤芯片事业部

联系人：刘先生（13621148533）

www.ic112.com / www.777ic.com

元坤智造

版本控制页

版本号	发布日期	更改章节	更改说明	备注
V1.0	2014.7.27			
V2.0	2015.10	附录 3	完善上电说明，CCLK 说明，上电以及配置过程中 I/O 端口状态说明	
V3.0	2016.10			
V3.1	2017.7		区分最大可用 IO 数与用户可用 IO 数	
V3.2	2018.2		更换模板	
V3.3	2018.5		CCLK 浮动率	
V3.4	2018.11		板级设计中添加板级应用建议	

目　录

1、产品特性 1
2、产品概述 2
3、结构图 2
4、引脚描述 2
5、引脚定义 4
6、产品描述 4
6.1 质量等级及执行标准 4
6.2 功能描述 4
6.2.1 产品模块描述 4
6.2.2 边界扫描 12
6.2.3 开发系统 15
6.2.4 芯片配置 15
6.3 贮存条件 23
6.4 绝对最大额定值 23
6.5 推荐工作条件 23
6.6 抗辐照特性 23
7、电参数（见附录 2） 24
8、典型应用描述（见附录 3） 24
9、封装说明 24
9.1 航天标准尺寸成型 25
9.2 非航天标准尺寸（兼容原厂成型尺寸） 26
附录 1 引脚定义 **27**
附录 2 电特性 **29**
附录 3 典型应用 **45**
附 3.1 板级设计 45
附 3.2 电源模块 46
附 3.3 成型尺寸 46
附 3.3 配置时钟 46

1、产品特性

- **高速、高密度 FPGA**
  - 30万系统门
  - 180MHz系统工作频率
  - 兼容66-MHz PCI 协议
  - 支持Compact PCI 协议热插拔
- **支持多种 I/O 接口标准**
  - 16种高性能接口标准
  - 可直接与ZBTRAM器件相连接
- **内置时钟管理电路**
  - 4个专用的高级时钟控制延迟锁相环(DLLs)
  - 4个一级低偏斜全局时钟分布网络
  - 24个二级局域时钟网络
- **多级存储系统**
  - 可配置为16-bit RAM, 32-bit RAM,16-bit双端口RAM或16-bit移位寄存器的LUTs
  - 16个可配置为同步双端口的4k-bit BRAM
  - 可实现与外部信号高速连接的高性能RAM
- **结构灵活，可实现速度和密度平衡**
  - 专用的高速算术计算进位逻辑
  - 专用的乘法器实现逻辑支持
  - 通过级连可实现多输入函数设计
  - 大量带时钟使能、双重同步/异步置位和复位信号的寄存器/锁存器资源
  - 内部三态总线
  - 支持IEEE 1149.1边界扫描逻辑
- **支持 ISE 及第三方开发系统**
  - 完全支持联合库，关联宏和设计管理
  - 适合大部分PC和工作站平台
- **SRAM型FPGA，支持在线系统编程**
  - 无限次重复编程
  - 四种配置模式
  - 0.25 μm 5 层金属工艺
- **可靠性指标**
  - 工作温度：-55℃ ～ +125℃
  - 抗静电能力（人体模型）：2000V
  - 总剂量：不小于1.0× 105 rad(si)
  - 单粒子闩锁阈值（LET）：≥75 MeV·cm2/mg：
  - 存储器单粒子翻转阈值（LET）：≥15MeV·cm2/mg；
- **YKVR300兼容性**
  - 兼容Xilinx QPro Virtex Rad-Hard系列的XQVR300
  - 可实现PIN-to-PIN替换

2、产品概述

YKVR300 是元坤芯片事业部自主研发的抗辐照 30 万门单粒子加固 FPGA，其功能、性能和封
装与 Xilinx 公司 XQVR300 兼容，可以实现 PIN-to-PIN 替代。器件具体规模如表 2-1 所示。

表2-1 YKVR300器件规模

器件型号	系统门	CLB 阵列	逻辑单元	最大用户I/O	BRAM位	最大片上可选RAM位
YKVR300	322,970	32x48	6,912	162	65,536	98,304

3、结构图

YKVR300 结构，如图 3-1 所示，包括两个主要的可配置单元：CLB 和 IOB。CLB 是可配置逻辑单元；IOB 是可配置接口模块，提供封装引脚与 CLB 之间互连。

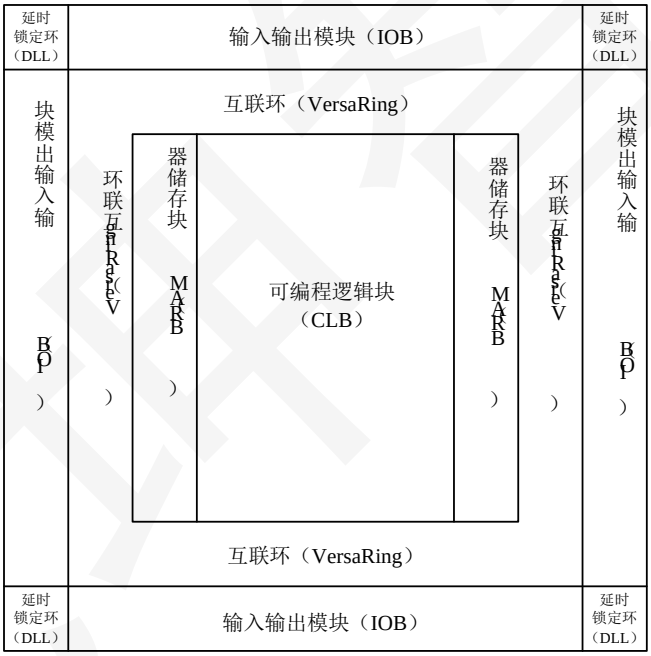


图3-1 YKVR300总体架构

4、引脚描述

表4-1 特殊功能管脚描述

管脚名称	专用管脚	方向	描述
GCK0,GCK1,	是	输入	连接全局时钟缓冲的时钟输入管脚，当不需要时钟的时候这

GCK2,GCK3			些管脚可变为用户输入。
M0, M1, M2	是	输入	用来选择配置模式。
CCLK	是	输入或输出	配置时钟输入输出管脚. 在SelectMAP模式和从串模式时是输入管脚, 主串模式时是输出管脚。配置完成以后仅是输入, 逻辑状态可以不予考虑。
PROGRAM	是	输入	当强制为低的时候初始化配置流程。
DONE	是	双向	指示配置完成, 在启动过程中，输出端口可以是开漏输出。
INIT	否	双向(开漏)	当为低的时候，表明配置存储器正在清零,配置完成以后，管脚变为用户输入/输出管脚。
BUSY/ DOUT	否	输出	SelectMAP模式下, BUSY控制配置数据载入速率。除非选SelectMAP端口保留，否则配置完成以后该管脚变为用户输入/输出管脚。串行模式下, DOUT提供菊花链下级器件的配置信息。配置完成以后，该管脚变为用户输入/输出管脚。
D0/DIN, D1, D2, D3, D4, D5, D6, D7	否	输入或输出	在SelectMAP模式下, D0 - D7是配置数据管脚; 除非选择SelectMAP端口保留,否则,配置完成以后这些管脚变为用户输入/输出管脚。在串行模式下, DIN是唯一的数据输入端. 配置完成以后,该管脚变为用户输入/输出管脚。
WRITE	否	输入	在SelectMAP模式下, 低有效写使能信号。除非选择SelectMAP端口保留,否则,配置完成以后该管脚变为用户输入/输出管脚。
CS	否	输入	在SelectMAP模式下, 低有效片选信号. 除非选择SelectMAP端口保留,否则,配置完成以后该管脚变为用户输入/输出管脚。
TDI,TDO TMS, TCK	是	--	边界扫描测试端口,在IEEE 1149.1协议里面有详细的定义。
V_{CCINT}	是	输入	内部核电源供电管脚。
V_{CCO}	是	输入	I/O输出驱动供电管脚(取决于各个bank规则)。
V_{REF}	否	输入	输入阈值电压管脚。不需要外部的阈值电压时，变为用户输入/输出管脚(取决于各个bank规则)。
GND	是	输入	地

5、引脚定义

YKVR300 采用 CQFP228 封装，最大可用 I/O、管脚定义等信息如表 5-1 所示。

表5-1 YKVR300封装形式与最大用户可用 I/O（不包括专用时钟管脚）

器件	封装形式	最大用户I/O	管脚定义
YKVR300	CQFP228	162	见附录1

6、产品描述

6.1 质量等级及执行标准

抗辐照 30 万门单粒子加固 FPGA——YKVR300 质量保证等级为 YHYB S0101-2012 规定的 YB 级，符合《宇航用 QVR300 型抗辐照 SRAM 型 FPGA 详细规范》规定的要求。

6.2 功能描述

YKVR300 器件的结构非常灵活、规则，中间是一个 CLB 阵列，四周是可编程 IOB，它们之间通过布线资源实现高速互连。YKVR300 的布线资源非常丰富，可实现更大和更复杂的设计。

YKVR300 是基于 SRAM 型的可编程逻辑器件，并可加载配置数据实现定制设计。master serial 配置模式下，FPGA 从外部 PROM 读取配置数据，其它模式下，配置数据被写入 FPGA(Select-MAP, slave serial, 和 JTAG 模式)。

YKVR300 采用 Xilinx ISE 开发套件进行设计，支持行为级和原理图输入，到仿真、自动设计映射和实现，再到配置码流生成、下载和回读，覆盖各个方面。

6.2.1 产品模块描述

6.2.1.1 IOB 模块

YKVR300的IOB结构如图6-1所示，IOB的输入和输出可以支持多种I/O电平标准（参见表6-1）。

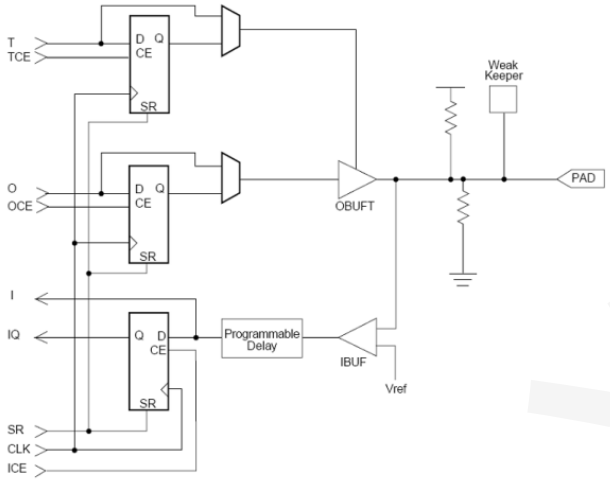


图6-1 YKVR300 IOB结构框图

IOB的三个存储单元可实现边沿触发的D-触发器或电平敏感的锁存器功能。

每个IOB 有一个时钟信号（CLK），三个触发器共用该时钟信号，每个触发器都有一个独立的时钟使能CE信号。

除了CLK和CE控制信号，三个触发器还共用一个Set/Reset(SR)信号。对每个触发器而言，这个信号都可以被独立地配置成同步置位、同步复位、异步置位或者异步复位。

输出buffer和所有的IOB控制信号都有独立的极性控制端，可以通过配置将这些信号设置为高电平有效或者低电平有效。

表6-1 支持可选 I/O 标准

I/O Standard	Input Reference Voltage (V_{REF})	Output Source Voltage (V_{CCO})	Board Termination Voltage (V_{TT})	5 V Tolerant
LVTTL 2 – 24 mA	N/A	3.3	N/A	Yes
LVCMOS2	N/A	2.5	N/A	Yes
PCI, 5 V	N/A	3.3	N/A	Yes
PCI, 3.3 V	N/A	3.3	N/A	No
GTL	0.8	N/A	1.2	No
GTL+	1.0	N/A	1.5	No
HSTL Class I	0.75	1.5	0.75	No
HSTL Class III	0.9	1.5	1.5	No
HSTL Class IV	0.9	1.5	1.5	No
SSTL3 Class I &II	1.5	3.3	1.5	No
SSTL2 Class I & II	1.25	2.5	1.25	No
CTT	1.5	3.3	1.5	No
AGP	1.32	3.3	N/A	No

每个pad 连接有可选的上拉和下拉电阻以及可选的弱保持电路。

在配置前，所有与配置无关的引脚都会被强制为高阻态，下拉电阻和弱保持电路处在无效状态。配置时上拉电阻能否起作用受配置模式引脚控制。如果上拉电阻没被激活，所有的引脚将会浮空，因此，如果想控制管脚在配置时的逻辑电平，就必须按照需求，给引脚提供外部

上拉或下拉电阻。YKVR300型FPGA的IOB都支持IEEE 1149.1 的边界扫描测试。

输入路径

YKVR300的IOB输入路径上都有一个buffer,输入信号可以直接进入内部逻辑或者通过这个输入触发器送入内部逻辑。

触发器D输入端有一个可选的延迟单元，它可以消除了pad-to-pad的保持时间。这个延迟与FPGA内部时钟分布延迟相匹配，使用时，可确保pad-to-pad保持时间为0。

每个输入buffer都可以被配置，从而支持各种低电平标准。在这些标准中，输入buffer使用用户提供的阈值电压V_{REF}。是否需要V_{REF}取决于该IOB使用的电平标准，可参见"I/O Banking" 。

配置后每个用户I/O输入端都有50k到100k欧姆可选的上拉和下拉电阻，

输出路径

输出路径上有一个三态输出buffer，它驱动输出信号到pad上。输出信号可从内部逻辑直接或通过可选的输出触发器连接到pad。

输出信号的三态控制信号来自内部逻辑或触发器。

为了适用宽范围的低压电平标准，每个输出驱动器可单独配置。每个输出buffer可输出的最大电流为24mA,可泄放的最大电流为48mA。

大多数电平标准中，输出高电压取决于外部V_{CCO}电压。是否需要V_{CCO}电压取决于该IOB和其相邻的各IOB中使用的电平标准，可参见"I/O Banking" 。

每个输出端都连接一个可选的弱保持电路。选中时，此电路监控pad上的电压，并且根据输入信号的电平微弱地将引脚驱动到高或低,从而与输入信号相匹配。如果驱动器没有被使能，弱保持电路会将信号保持在最后一个状态。这种方法保持某一逻辑电平，可以消除总线的抖动。

因为弱保持电路使用IOB输入buffer来监控输入电平，若所使用的电平标准需要提供一个合适的V_{REF}电压。则提供的V_{REF}电压必须遵照“I/O banking”规则。

6.2.1.2 I/O Banking

上面所述的一些I/O标准需要V_{CCO}和V_{REF}电压。这两种电压由外部提供，并连接到器件的相应引脚上，为一组IOB服务，这组IOB组成一个bank。在一个给定的bank里可以组合使用多种I/O标准，但必须遵守一定的规则。

将FPGA的每个边分作两个bank，从而得到8个I/O bank，如图6-2所示。每个bank有多个V_{CCO}引脚，这些引脚必须连接到相同的电压上，而这个电压的值由所使用的输出标准决定。

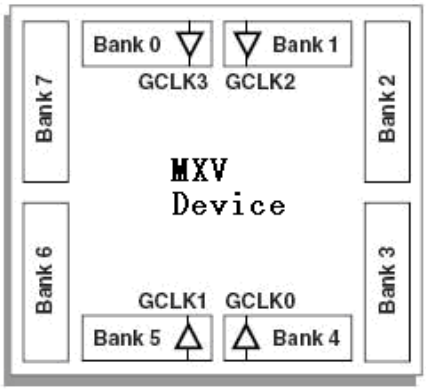


图6-2 YKVR300 I/O Banks

在一个bank里，只有当它们使用相同的V_{CCO}时，输出标准可以组合使用。标准之间是否可兼容如表6-2所示。由表可以得出GTL和GTL+适用所有的电压，因为它们是开漏输出，不依赖于V_{CCO}。

表6-2 可兼容的输出标准

V_{CCO}	可兼容标准
3.3 V	PCI, LVTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 V	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

一些输入标准，需要用户提供一个阈值电压V_{REF}。这种情况下，某些特定的用户I/O引脚被自动配置为V_{REF}输入。一个bank里大约有六分之一的I/O引脚能起这个作用。一个bank里的V_{REF}引脚在内部被连接在一起，因此每个bank里只能使用一个V_{REF}电压，需要V_{REF}的输入端可以和那些不需要V_{REF}的输入端混合出现。

6.2.1.3 可配置逻辑块-CLB

CLB的基本组成块是逻辑单元（LC）。一个LC包括一个4输入函数发生器、进位逻辑和一个存储单元。每个LC中函数发生器的输出驱动两个负载，一个是CLB的输出，另外一个是触发器的D输入端。每个YKVR300的CLB包括4个LC，分布在两个相似的slice 中，如图6-3所示。

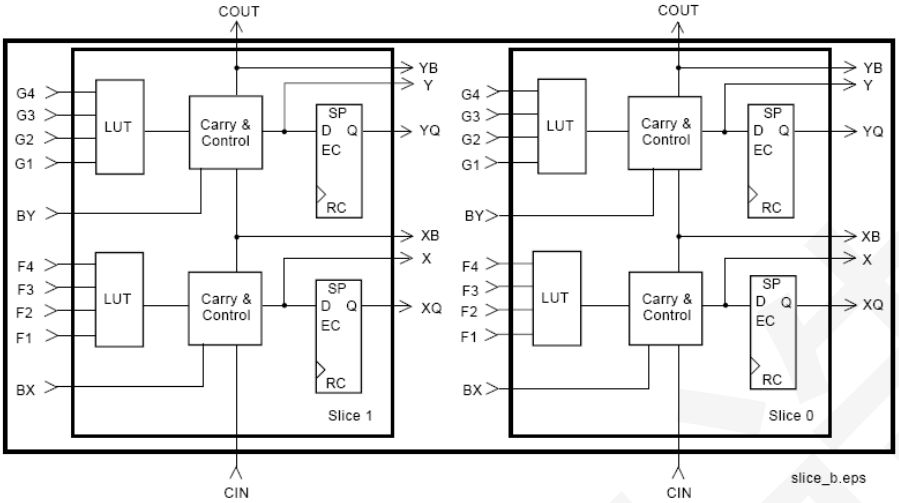


图6-3 2-Slice YKVR300的CLB

查找表-LUT

YKVR300函数发生器是一个4输入查找表。除了用作函数发生器，每个LUT可被用作一个16×1bit同步RAM。另外，一个slice 中的两个LUT 还可组合为一个16×2bit 或32×1bit 的同步RAM，或者一个16×1bit双端口同步RAM 。还可用作一个16bit移位寄存器，用于捕捉高速或突发模式的数据。

存储单元

YKVR300的slice中的存储单元可被配置为边沿触发的D触发器或电平敏感的锁存器。D输入端可以直接由slice的输入来驱动，也可由slice中的函数发生器的输出来驱动。

除了Clock 和Clock Enable信号，每个slice还有同步set和reset信号(SR and BY)。SR将存储单元强制拉到初始状态（配置中定义的一个初始状态）。BY则将它强制拉到相反的状态。两个信号中的一个可被配置为同步信号。所有的控制信号都可被单独反向，被该slice中的两个触发器共用。

算术逻辑

专用进位逻辑是为了高速算术函数而设计的逻辑电路。它可以提供快速的进位能力。YKVR300的CLB支持两条独立的进位链，每个slice一条。进位链的深度是每个CLB 2bit。

算术逻辑包括一个XOR门，可在一个LC中实现一个1-bit的全加器。另外，还提供了一个专用AND门以提高乘法器的工作效率。专用进位路径还可用于级连函数发生器以实现宽逻辑函数。

BUFTs

每个YKVR300的CLB包含两个三态驱动器(BUFTs)，可驱动片上总线。每个YKVR300的BUFT 有一个独立的三态控制端和一个独立的输入端。

6.2.1.4 Block SelectRAM

YKVR300包含许多个Block SelectRAM（块存储模块），这补充了分布式LUT SelectRAMs（CLB 中的LUT实现的分布式RAM结构）的不足。

Block SelectRAM 以列的形式分布在整个芯片中。所有的BQV器件都包括两列Block SelectRAM，每边一列，每列都占据整个芯片高度，每个Block SelectRAM为四个CLB 的高度。表6-3列出了YKVR300 器件block SelectRAM 存储器的数量。

表6-3 YKVR300片选BRAM数目

Device	# of Blocks	Total Block SelectRAM Bits
YKVR300	16	65,536

如图6-4所示，每个block SelectRAM 模块是完全同步的双端口4096bit RAM ，并且每个端口都有独立的控制信号。两个端口的数据宽度都可独立配置，block SelectRAM提供内建总线宽度转换。

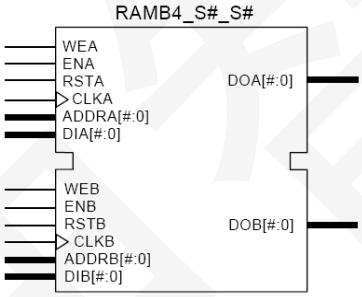


图6-4 双端口 Block SelectRAM

表6-4是block SelectRAM的深度和宽度之间的变化关系。

表6-4 Block SelectRAM 端口

Width	Depth	ADDR Bus	Data Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

YKVR300的block SelectRAM含有专用布线资源，便于与CLB及其他block SelectRAM之间互连。

6.2.1.5 可编程布线矩阵

YKVR300布线结构和它的布局布线软件定义了一种专门的优化算法。该算法有效减小了长路径引入的延迟，能达到最好的系统性能。这种结构可以和软件实现无缝配合，从而减

小了设计的编辑时间，这种结构也可以减少反复设计的时间，从而缩短整个设计的周期。

局部布线资源

如图6-5所示，是YKVR300布线资源的缩略图，局部布线资源，主要有如下三种：

- LUTs，flip-flops，和通用互联矩阵（GRM）这三种类型资源之间的互连线。
- CLB内部的反馈路径，用最小的布线延迟，实现了LUT之间的快速互连。
- 水平相邻的CLB 之间的直连线。

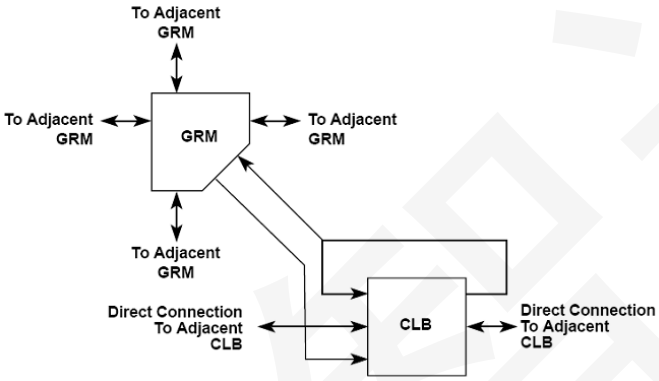


图6-5 YKVR300布线资源缩略图

通用布线资源

YKVR300的大多数信号，都通过通用布线资源进行布线，于是，大部分资源都在这一层次实现互连。通用布线资源位于与CLB行和列相对应的水平和垂直布线通道上。通用布线资源列举如下：

- 通用布线矩阵（GRM）是一个与CLB 相邻的开关矩阵，水平和垂直布线资源通过它实现互连，CLB通过它访问通用布线资源。
- 24条单长线，实现GRM信号与四个方向相邻的GRM之间的互连。
- 12条带缓冲器的六长线，GRM信号可以通过六长线，布线到四个方向上相隔六个block距离的GRM。组织成一个交错排列的模式，六长线只能在端点处驱动，可以在端点处或中点处（距离源头三个block 长度）访问六长线上的信号。六长线的三分之一为双向，其余为单向。
- 12条带缓冲器的长线，可以实现器件上信号的快速高效传播，该信号线是双向线。垂直长线占据整个器件的高度，水平长线占据整个器件的宽度

I/O 布线资源

器件的四周，CLB阵列和IOB 之间，YKVR300器件提供了额外的布线资源，称作VersaRing，方便了引脚约束，可以在不改变PCB版图情况下，通过更改逻辑设计去兼容现有

PCB。

专用布线资源

为了达到更高的性能，针对一些信号设计了专用布线资源。在YKVR300结构中，为两种形式的信号设计了专用布线资源。

- 片上三态总线是一种水平布线资源。每个CLB行提供四条三态总线，如图6-6所示。
- 垂直方向的进位传输线，每个CLB 有两条专用连线，专门用来向垂直相邻的CLB传输进位信号。

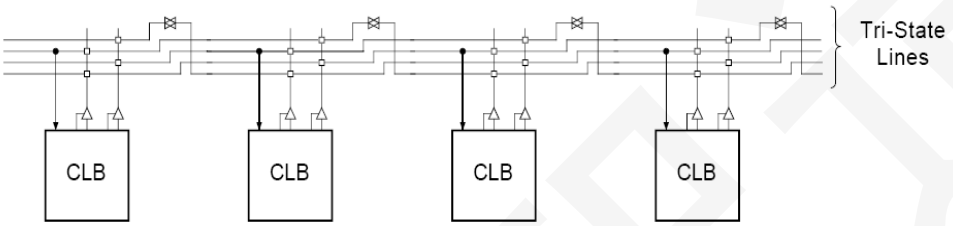


图6-6 BUFT与专用水平三态总线

全局布线资源

全局布线资源，主要是传播时钟和其它高扇出的信号。YKVR300器件包括两组全局布线资源，分别为一级全局布线资源和二级局部时钟布线资源。

- 一级全局布线资源是四个专用的全局网络，带有4个专用的高扇出时钟信号输入引脚，这四个引脚具有最小的传播偏移。每个全局时钟网络都可驱动所有的CLB、IOB和block SelectRAM 时钟引脚。一级全局网络只能由全局buffer驱动。共有四个全局buffer，每个全局网络一个。
- 二级局部时钟布线资源包括24条backbone line，12条贯穿芯片顶部，12条贯穿芯片底部。每列有12条长线可对应连接到这12条backbone line。这些二级布线资源比一级布线资源更灵活，因为它们不只用来传输时钟，还可以被用作通用布线资源。

6.2.1.6 时钟分布

YKVR300通过上述的一级全局布线资源提供高速、低偏移的时钟分布网络，这个网络驱动所有时钟输入端。图6-7是一个典型的时钟分布网络。四个全局buffer ，两个在器件的顶部中间位置，两个在底部中间位置。它们驱动四个一级全局网络；四个专用时钟pad，分别与每个全局buffer相连。而全局buffer的输入端可以是这些专用的时钟pad也可以是通用布线上的信号。

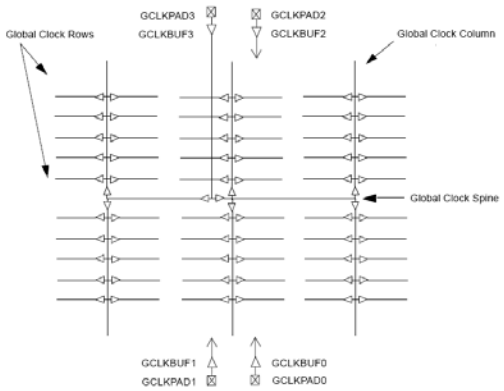


图6-7 全局时钟布线网络

延迟锁相环(DLL)

四个数字延迟锁相环(DLL)分别与每个全局时钟输入buffer相连，它可消除整个器件上时钟输入pad和内部时钟输入端之间的偏移。每个DLL可驱动两个全局时钟网络。DLL 监控输入时钟和分布时钟，并自动调节时钟延迟单元。这种闭环系统，通过调整内部触发器的时钟边沿与到达输入端的时钟边沿，使二者同步，从而有效地消除了时钟的分布延迟。

除了消除时钟分布延迟，DLL还提供高级的多时钟域控制。DLL 提供对源时钟相位的四种积分，可以对时钟进行倍频，或者进行1.5，2，2.5，3，4，5，8，16 倍的分频。

DLL 还可作为时钟的镜像来使用。DLL强驱动输出后，再返回芯片，可以被用于多个YKVR300 器件之间板级时钟的去偏移。

为了保证FPGA配置之后，整个芯片启动之前这段时间内，系统时钟能正常工作，DLL还可以实现推迟启动的功能，等DLL达到锁定状态以后，整个芯片才正常启动。

6.2.2 边界扫描

YKVR300 器件支持IEEE标准1149.1 定义的所有边界扫描指令，提供了测试访问端口（TAP）和寄存器，用来执行EXTEST, INTEST, SAMPLE/PRELOAD, BYPASS, IDCODE, USERCODE, 和HIGHZ 指令。TAP还支持内部扫描链和器件的配置与回读。

TAP有专用的封装引脚，采用LVTTL协议工作。TDO采用LVTTL协议工作时，Bank2的V_{CCO} 电压必须为3.3V。边界扫描操作独立于单个IOB配置，不受封装类型的影响。表6-5列出了YKVR300支持的边界扫描指令。

表6-5 边界扫描说明

边界扫描指令	二进制代码(4:0)	说明
EXTEST	00000	使能边界扫描 EXTEST 操作
SAMPLE/PRELOAD	00001	使能边界扫描 SAMPLE/PRELOAD 操作
USER 1	00010	访问 user-defined register 1
USER 2	00011	访问 user-defined register 2
CFG_OUT	00100	访问读操作配置总线.

CFG_IN	00101	访问写操作配置总线
INTEST	00111	使能 边界扫描 INTEST 操作
USERCODE	01000	使能移出USER code
IDCODE	01001	使能 移出 ID Code
HIGHZ	01010	使能旁路寄存器，输出引脚置为高阻态
JSTART	01100	启动时钟为TCK时，开始启动流程
BYPASS	11111	使能旁路寄存器
RESERVED	All other codes	保留指令

对器件进行配置前，除了USER1和USER2 ，余下指令都有效。配置后，所有指令都有效。配置过程中，不可执行边界扫描寄存器的指令(SAMPLE/PRELOAD, INTEST, EXTEST) 。

除了上边列出的测试指令，边界扫描电路也可以用来配置FPGA，还可以回读配置数据。

图6-8是BQV串行边界扫描逻辑的示意图。

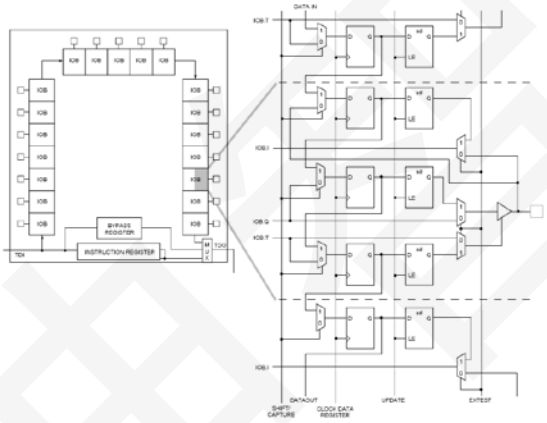


图6-8 YKVR300 边界扫描逻辑

6.2.2.1 指令集

YKVR300 串行边界扫描指令集还包括对器件进行配置和回读配置数据的指令(CFG_IN, CFG_OUT, and JSTART) ，完整的指令集的编码列在表6-6中。

6.2.2.2 数据寄存器

主数据寄存器是边界扫描寄存器。FPGA中的每个IOB引脚，不论是引出的还是没有被引出的，都包括3-bit的控制位，分别对应In、Out和3-State。只能用作输入或输出IOB引脚，控制bit的数量有相应变化。其它的标准数据寄存器是BYPASS寄存器，通过它数据能够同步传输到FPGA下游的边界扫描器件。

YKVR300通过使用BSCAN宏命令，最多可支持两个附加的内部扫描链。这个宏提供两个控制端口(SEL1 and SEL2) ，它们分别是USER1 和USER2 指令的解码。对这些指令，两个对

应的端口 (TDO1 和TDO2)允许用户对移出TDO的数据进行扫描。同样地，每个用户寄存器还有单独的时钟端口(DRCK1 和DRCK2)。

6.2.2.3 位顺序

每个IOB中的位顺序为：In，Out，3-State 。只作为输入的引脚，只能把In对应的bit提供给边界扫I/O 数据寄存器；而只作为输出的引脚，就必须提供三个bit。从上部右侧引脚开始，边界扫描数据寄存器的bit按图6-9所示的顺序排列。

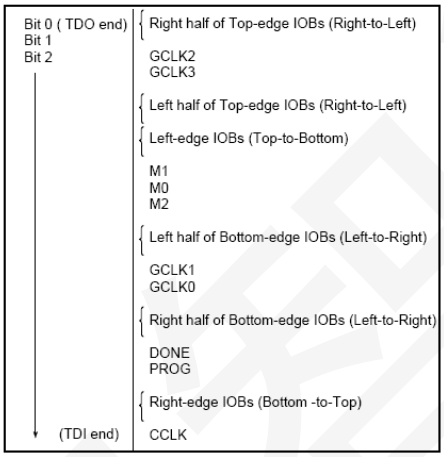


图6-9 边界扫描位序

6.2.2.4 标识寄存器

YKVR300器件还支持IDCODE标识寄存器。通过回读IDCODE，可确定连接到JTAG链路上器件信息，对应关系如表6-6。IDCODE寄存器内容是二进制格式：vvvv:ffff:fffa:aaaa:aaaa:cccc:cccc:ccc1

v = 晶圆版本号

f = FPGA的系列编码 (YKVR300对应03h)

a = CLB 的行数

c = 公司编码(采用49h)

YKVR300器件还支持USERCODE寄存器。用户可以将某一个可编程的USERCODE下载或移出USERCODE寄存器以便检验。USERCODE在码流生成时嵌入码流内部，并且只在配置后生效。

表6-6 YKVR300的IDCODEs

FPGA	IDCODE
YKVR300	v0620093h

6.2.2.5 在设计中使用边界扫描

除内部数据寄存器(USER1或USER2)外，边界扫描引脚是专用的，不需要增加特殊的单元。如果需要使用内部数据寄存器，就要例化BSCAN宏，并适当地连接所需引脚。

6.2.3 开发系统

YKVR300是与Xilinx公司宇航级产品XQVR300型FPGA兼容的宇航级单粒子加固FPGA产品。YKVR300在电路结构、各项电参数指标、设计流程以及开发工具等各方面都与XQVR300一致。相同的代码在YKVR300和XQVR300上能够产生相同的电路结构，开发工具选择器件时可直接选择XQVR300，产生 的各种配置文件都能直接应用到YKVR300上，开发工具的后仿真结果适用于YKVR300。推荐使用Xilinx公司ISE9.1或10.1。

6.2.4 芯片配置

YKVR300通过配置引脚下载配置数据到内部配置存储器完成配置。除专用配置引脚外，其它配置引脚在配置完成之后可被重新用作通用输入和输出引脚。

下列为专用配置引脚：

- 模式选择引脚(M2, M1, M0)
- 配置时钟引脚 (CCLK)
- PROGRAM 引脚
- DONE 引脚
- 边界扫描引脚(TDI, TDO, TMS, TCK)

根据选定的配置模式，CCLK可以由FPGA输出，也可由外部产生并作为输入提供给FPGA。配置引脚需求3.3 V的VCCO电压来实现LVTTL操作，这些引脚都在bank 2或3中。

YKVR300器件配置后，未使用的IOB会作为带弱下拉的三态输出。

YKVR300支持下列四种配置模式：

- Slave-serial mode
- Master-serial mode
- SelectMAP mode
- Boundary-scan mode

通过配置模式引脚(M2, M1, M0)能够选择不同的配置模式。配置模式的不同，配置过程中IOB的引脚可以是上拉或者是浮空，表6-7是配置模式引脚(M2, M1, M0)与配置模式的关系。通过边界扫描进行配置时，可以不考虑配置模式，因为选择边界扫描模式会自动将其它模式

关闭。虽然这三个配置模式引脚内部有上拉电阻，缺省值为逻辑高，但还是建议在外部对这些配置引脚增加驱动。

表6-7　配置模式与配置模式引脚(M2, M1, M0)的关系

配置模式	M2	M1	M0	CCLK 说明	数宽	串行Dout	上拉
Master-serial mode	0	0	0	Out	1	Yes	No
Boundary-scan mode	1	0	1	N/A	1	No	No
SelectMAP mode	1	1	0	In	8	No	No
Slave-serial mode	1	1	1	In	1	Yes	No
Master-serial mode	1	0	0	Out	1	Yes	Yes
Boundary-scan mode	0	0	1	N/A	1	No	Yes
SelectMAP mode	0	1	0	In	8	No	Yes
Slave-serial mode	0	1	1	In	1	Yes	Yes

6.2.4.1 Slave-Serial Mode

在slave-serial 模式下，FPGA从串行PROM或其它串行配置数据源以串行形式获取配置数据。输入到DIN的配置码流信号，必须在外部产生的CCLK信号的上升沿到来之前保证信号的建立。

将多个FPGA以菊花链的形式连接，可以实现一个源对多个FPGA的配置。完成前一个FPGA配置之后，下一个器件的配置数据从这个FPGA的DOUT引脚输出。DOUT引脚上的数据在CCLK的上升沿变化。图6-10是一个典型的菊花链系统。两个BQV器件第一个FPGA器件是master-serial mode，第二个是slave-serial mode。

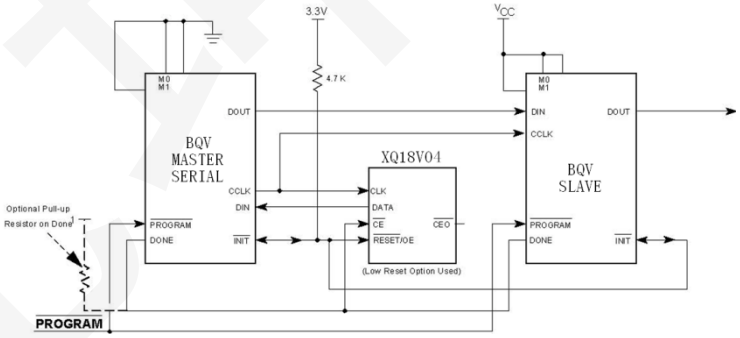


图6-10 主/从串行模式电路

模式引脚(M2, M1, M0) 为<111> 或 <011>对应的FPGA的配置模式是Slave-serial 模式。如果模式引脚未被连接，这些引脚上都有一个弱上拉，则FPGA的配置的缺省模式为slave-serial。使用中，建议在外部驱动这些配置模式引脚。图6-11是slave-serial 模式的配置时序转换特性。表6-8提供了图6-11所示时序特征更多的细节。

注意：菊花链配置时，链中所有FPGA的INIT 引脚为高电平之后配置才能开始。

表6-8 Master/Slave Serial 模式设计

	说明	符号	值	单位
CCLK	DIN setup/hold, slave mode	TDCC/TCCD	5.0 / 0	ns, min
	DIN setup/hold, master mode	TDSCK/TCKDS	5.0 / 0	ns, min
	DOUT	TCCO	12.0	ns, max
	High time	TCCH	5.0	ns, min
	Low time 5	TCCL	5.0	ns, min
	Maximum Frequency	FCC	66	MHz,max
	Frequency Tolerance, master mode with respect to nominal		+45% －45%	

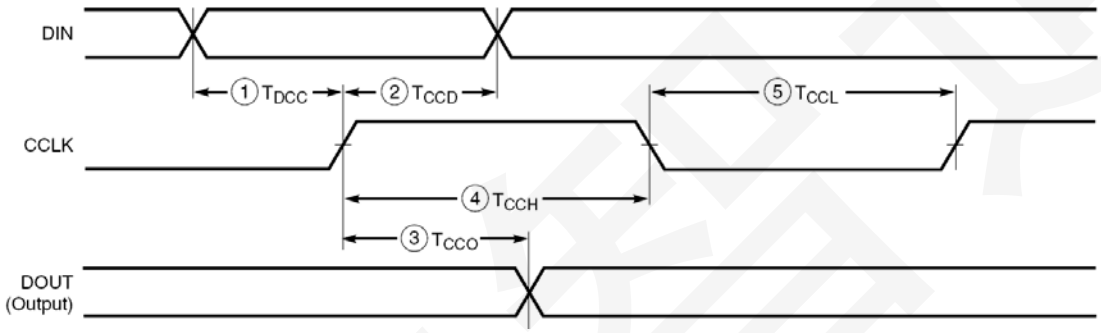


图6-11 从-串模式配置时序

6.2.4.2 Master-Serial Mode

在master-serial模式中,FPGA 输出一个CCLK时钟,这个时钟驱动一个适当的串行PROM ,这个PROM 将数据按照串行模式加载到DIN输入端。FPGA在每个CCLK上升沿接收这些数据。FPGA配置完成后,菊花链中下一个FPGA器件所需的数据,在CCLK上升沿到来之后,输出到DOUT引脚。这种配置模式除了配置时钟(CCLK)来自FPGA器件内部之外，其它接口与slave-serial模式的相同。

CCLK 可选的频率范围很宽，通常从一个缺省的低频率启动。然后，通过配置位把CCLK转换到一个更高的频率进行后续的配置。

一般主串模式下FPGA输出时钟频率大约误差范围是正负45%，可能有偏差。用户使用过程中需要考虑这种偏差，并根据系统性能选择适当配置频率，从而保证系统设计容差需求。

CCLK 频率可以通过码流生成软件中的ConfigRate 选项进行设置。CCLK 频率最高可设置为60 MHz 。注意：选择CCLK 频率时，要确保串行PROM和菊花链中的每个FPGA都能承受这个时钟速率。

上电时，CCLK频率为2.5 MHz。FPGA一直使用这个频率进行数据加载，当ConfigRate对

应的配置寄存器被赋值以后，配置频率转换到选定的ConfigRate。如果没有指定配置频率，这个频率的缺省值是4MHz。

图6-10是一个典型的菊花链系统，这个系统中，左边第一个FPGA器件工作在master-serial 模式下，第二个FPGA器件工作在slave-serial模式下。串行PROM的RESET引脚被FPGA的INIT信号驱动，CE输入端被FPGA的DONE信号驱动。相应地，可以通过选择配置选项，避免DONE引脚上出现“竞争”。

图6-12是master-serial 模式的配置时序图。模式引脚(M2, M1, M0) 上赋值<000> 或<100> 对应的配置是Master-serial 模式。表6-9是图6-12详细的时序信息。

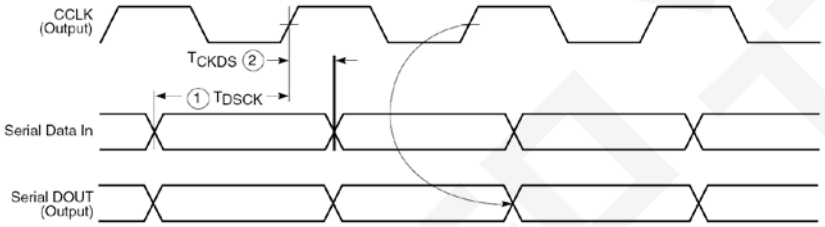


图6-12 Master-Serial Mode 配置时序

6.2.4.3 SelectMAP Mode

SelectMAP 模式是FPGA最快配置模式。配置数据按照一个字节宽度被写进FPGA。

外部数据源提供一个字节宽度的数据流、CCLK 、片选信号(CS) 和一个写信号(WRITE)。如果BUSY信号被FPGA置位为高，数据就必须保持，直到BUSY信号变低。

SelectMAP 模式还可以回读配置数据。若WRITE 没被置位，作为回读操作的一部分，配置数据可以从FPGA中读出。

SelectMAP 模式下，可以采用并连的方式级联多个YKVR300器件。数据引脚(D7:D0), CCLK, WRITE, BUSY, PROGRAM, DONE, 和INIT 采用并连的方式进行连接。数据的格式是：D0是每个字节的高位，D7是每个字节的低位。CS引脚必须单独分开，以保证每个FPGA可以被单独选中。WRITE信号从加载第一个码流之前变为低，并在最后一个器件配置完成之后变为高。通过把CS引脚设为低，选择合适的FPGA加载码流，在码流的最后，取消选中的已加载过码流的器件并选中下一个目标FPGA。所有FPGA器件配置完毕后，DONE引脚变为高。

配置后，SelectMAP 端口引脚可用作通用用户I/O。也可以保留这个端口以便进行回读。产生码流时是否保留SelectMAP 端口是可选择的。如果选择保留这些端口，就需要选择PROHIBIT限制，以避免SelectMAP 端口被用作用户I/O。

Select-MAP 模式可以对多个YKVR300进行配置，还可使它们同时启动。用这种方法配置多个器件，要将所有器件的CCLK, Data, WRITE, 和BUSY 引脚并连在一起。这些单独的器件通过依次置位每个器件的CS引脚并写入适当的配置

数据进行配置。参见表6-9的SelectMAP 写操作的时序特性。

表6-9 SelectMAP 写操作特性

	Description		Symbol		Units
CCLK	D_{0-7} Setup/Hold	1/2	T_{SMDCC}/T_{SMCCD}	5.0 / 1.7	ns, min
	$\overline{CS}$ Setup/Hold	3/4	T_{SMCSCC}/T_{SMCCCS}	7.0 / 1.7	ns, min
	$\overline{WRITE}$ Setup/Hold	5/6	T_{SMCCW}/T_{SMWCC}	7.0 / 1.7	ns, min
	BUSY Propagation Delay	7	T_{SMCKBY}	12.0	ns, max
	Maximum Frequency		F_{CC}	66	MHz, max
	Maximum Frequency with no handshake		F_{CCNH}	50	MHz, max

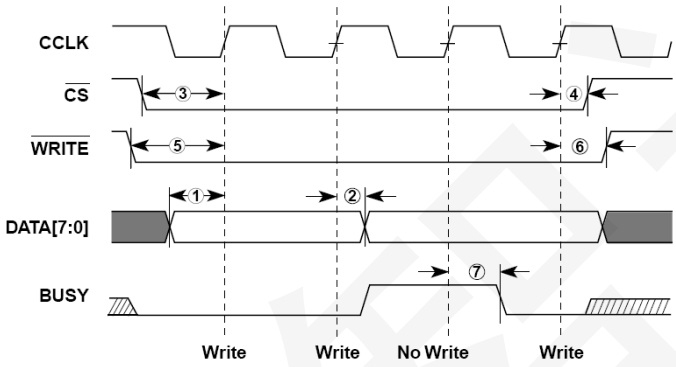


图6-13 写操作时序

Write

SelectMAP模式下的低有效写使能信号，写操作时序如图6-13所示，操作序列说明如下。

1. WRITE和CS置位为低。注意当CS在CCLK之后置位时，WRITE必须保持置位或复位状态。否则将会产生一个中断。

2. 数据输出到D[7:0]。注意要避免竞争，数据源在CS为低且WRITE为高时不能被使能。

3. 在CCLK的上升沿：如果BUSY为低，就在这个时钟内接收数据。如果BUSY为高，则不接收数据。BUSY变为低之后的第一个时钟内接收数据，所以数据必须一直保持。

4. 重复步骤2和3，直到所有的数据都传送完毕。

5. 取消对CS 和 WRITE 的置位。

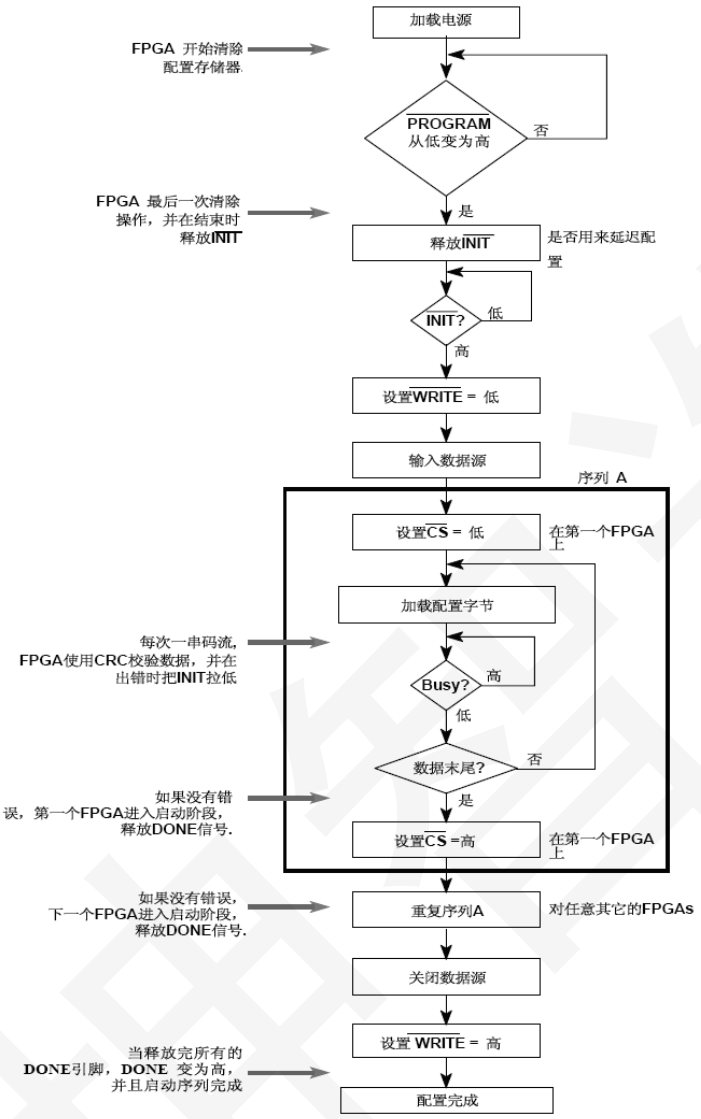


图6-14 SelectMAP 模式下写操作的流程图

注意：一个配置数据包可以分为多个这样的序列。这个数据包可以不在CS的一次置位内完成。

图6-14列出了写操作的流程图。

中断

当CS信号有效时，用户不能从写状态转换到读状态，或者反过来操作。这样会引起FPGA器件的中断。中断的操作完成前，器件将保持在BUSY状态。FPGA器件中断后，必须给FPGA器件重新加载同步字，才能接受新的数据包。

要在写操作过程中插入一次中断，取消WRITE的置位即可。如图6-15所示，在CCLK 的上升沿，启动了一次中断。

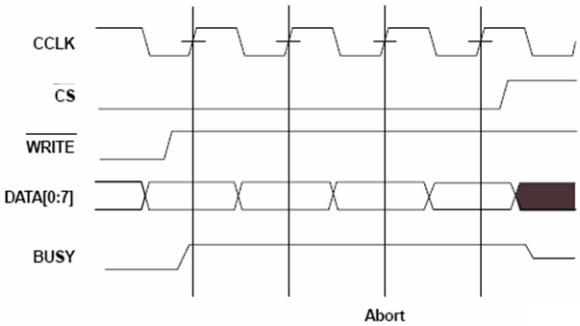


图6-15 SelectMAP写中断波形

6.2.4.4 Boundary-Scan Mode—边界扫描模式

在boundary-scan模式中，通过IEEE 1149.1 测试访问端口(TAP)进行配置。注意PROGRAM引脚必须在配置前拉高。

PROGRAM 引脚上的一个低信号会对TAP控制器进行复位，JTAG操作必须重新开始。

通过TAP配置，必须使用CFG_IN指令。这条指令允许TDI上的数据输入转换为内部配置总线使用的数据包。通过边界扫描通道对FPGA进行配置，需要进行下列步骤（使用TCK作为启动时钟）。

1. 加载CFG_IN 指令到边界扫描指令寄存器(IR) 中
2. 进入Shift-DR (SDR) 状态
3. 把一串配置码流移入TDI
4. 返回到Run-Test-Idle (RTI)
5. 加载JSTART 指令到IR
6. 进入SDR状态
7. 通过TCK开始启动流程
8. 返回到RTI

JTAG具有最高权限，通过TAP进行配置和回读总是有效的。也可通过在模式引脚(M2, M1, M0) 赋值<101>或 <001> ，选择边界扫描模式。

6.2.4.5 配置次序

器件的配置过程有三个阶段。首先，清除配置存储器；下一步，把配置数据加载到存储器中；最后，通过一个启动过程激活FPGA。

上电后FPGA会自动进入配置状态，除非用户故意延迟。还可通过置位PROGRAM启动配置过程。INIT变为高时，预示着存储器清零阶段结束，同样DONE变为高时预示着整个过程的完成。配置信号的上电时序如图6-16所示。相应的时序特性列于表6-10。

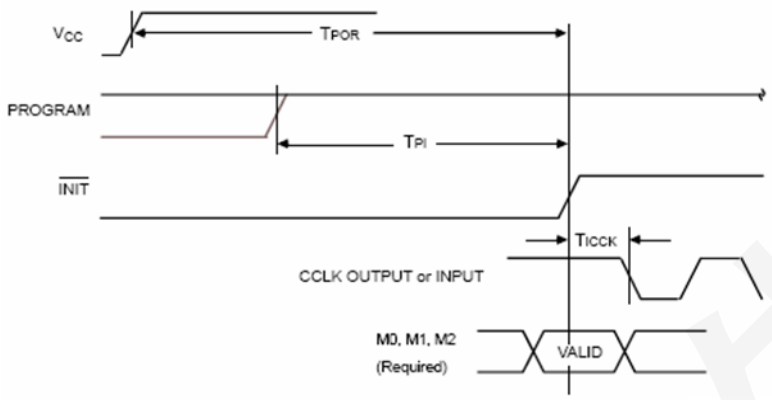


图6-16 Power-Up 时序配置信号

表6-10 Power-up 时序特性表

说明	符号	值	单位
Power-on Reset	TPOR	2.0	ms, max
Program Latency	TPL	100.0	μs, max
CCLK (output) Delay	TICCK	0.5	μs, min
		4.0	μs, max
Program Pulse Width	TPROGRAM	300	ns, min

延迟配置

INIT为双向开漏引脚，它在清除配置存储器时保持在低电平。可以使用一个外部驱动器使INIT 保持为低的时间延长，这样配置序列进入等待状态。于是，FPGA不能进入加载数据的阶段，从而延迟了配置。

启动序列

缺省的启动序列为DONE变高之后的一个CCLK 周期内，释放全局三态信号(GTS)，器件 的输出端被释放。一个CCLK周期后，全局Set/Reset(GSR) 和全局写使能(GWE) 信号被释放，这使得内部存储单元的状态会根据逻辑和用户时钟开始改变。这些信号释放的相对顺序可以改变。另外，GTS, GSR, 和GWE可以在多个器件的DONE引脚都变为高时，使器件同时启动。启动序列可以通过DLL的锁定来延迟，通过配置选项可以设置为其中一个或是所有DLL达到锁定状态以后，FPGA才进入正常的启动序列。

6.2.4.6 数据流格式

BQV器件通过连续下载数据帧进行配置。表6-11列出了每种器件配置所需的bit总数。

表6-11 YKVR300的码流长度

器件	配置位数
YKVR300	1,751,808

6.2.4.7 回读

存储在配置存储单元中的配置数据可以被回读，方便进行验证。除了配置数据，还可以回读所有触发器/锁存器、LUT RAMs, 和Block RAMs 的内容。

6.3 贮存条件

器件推荐贮存在环境温度为10℃～30℃，相对湿度不大于70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

6.4 绝对最大额定值

绝对最大额定值如下：

a) 核电源电压范围（VCCINT）：-0.5V～3.0V

b) IO电源电压范围（VCCO）：-0.5V～4.0V

c) 施加在三态端电压（VTS）：-0.5V～5.5V

d) 引线焊接温度（Th）10s ：260℃

e) 功率耗散（PD）：2.0W

g) 结温（TJ）：150℃

h) 储存温度(TSTG)： -65℃～150℃

6.5 推荐工作条件

推荐工作条件如下：

a) 核电源电压范围（VCCINT）：2.375V～2.625V

b) I/O电源电压范围（VCCO）：1.2V～3.6V

c) 输入高电平电压（VIH）：2.0V

d) 输入低电平电压（VIL）：0.8V

e) 最大输入信号转换时间（tIN）：250ns

f) 工作温度范围（TC）：-55℃～125℃

6.6 抗辐照特性

依照Xilinx公司的相关技术文档，对YKVR300的抗辐射能力进行了试验，结果如下：

总剂量：不小于1.0× 105 rad(si)

单粒子闩锁阈值（LET）：≥75 MeV·cm2/mg：

存储器单粒子翻转阈值（LET）：≥15MeV·cm2/mg；

其中，总剂量试验中，由于器件特性的变化，试验器件上电特性会受到一定的影响，因此试验过程中不得二次加电，且实验过程中不加载码流，完成试验后，应当在100度高温下进行168小时退火，然后进行器件测试。总剂量辐照后可能存在少数管脚漏电及DLL输出频率等参数超出规范值，但不影响用户功能。

7、电参数（见附录 2）

8、典型应用描述（见附录 3）

9、封装说明

由于 Xilinx 的 XQVR300 的封装成型并不满足航天标准，因此 YKVR300 提供两种封装成型标准，一种符合航天标准；另一种与 XQVR300 兼容但不满足航天标准。请用户根据自身需求选择相应的成型标准。

9.1 航天标准尺寸成型

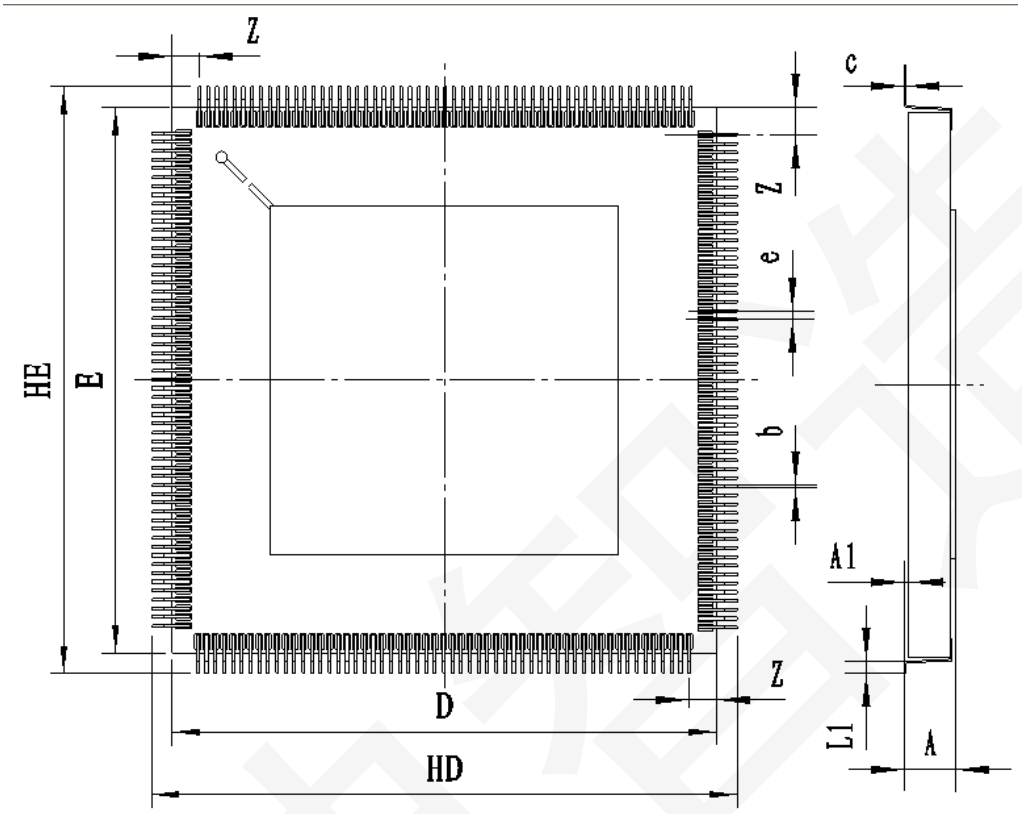


图 9-1 航天标准尺寸成型

表 9-1 外形尺寸

单位：毫米

尺寸符号	数值		
	最小	公称	最大
A			3.90
A1	0.5	0.6	0.7
b	0.13	0.2	0.27
c	0.08		0.20
e		0.635	
Z		2.25	2.54
D/E	38.57	39.37	40.17
HD/HE	43.07	44.37	45.57
L1	1.25	1.5	1.7

9.2 非航天标准尺寸（兼容原厂成型尺寸）

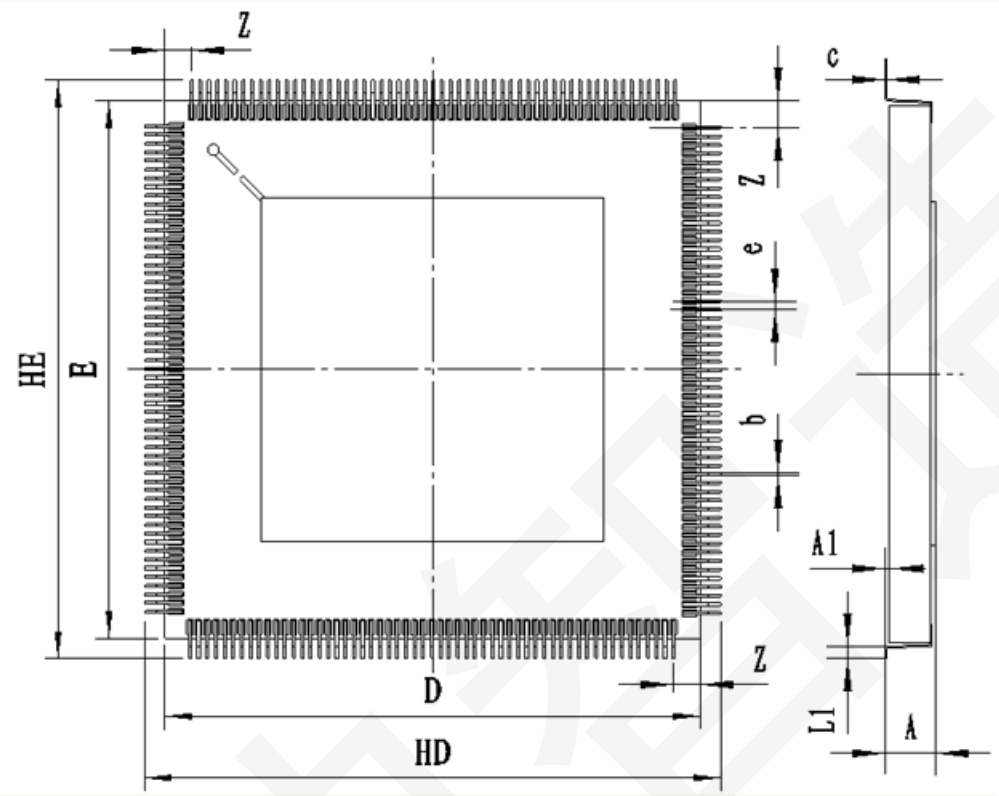


图 9-2 非航天标准尺寸

表 9-2　YKVR300-CQFP228 外形尺寸

单位：毫米

尺寸符号	数值		
	最小	公称	最大
A			3.90
A1	0.5	0.6	0.7
b	0.13	0.2	0.27
c	0.08		0.20
e		0.635	
Z		2.25	2.54
D/E	38.57	39.37	40.17
HD/HE	42.0	43.37	44.57
L1	1.25	1.5	1.7

附录 1 引脚定义

附表 1-1　YKVR300-CQFP228 封装引出端排列对应关系

引出端序号	符号	引出端序号	符号	引出端序号	符号	引出端序号	符号
1	GND	58	V_{CCO}	115	V_{CCO}	172	TDO
2	TMS	59	M2	116	PROGRAM	173	GND
3	I/O	60	I/O	117	I/O_INIT	174	TDI
4	I/O	61	I/O	118	I/O_D7	175	I/O_CS
5	I/O_V_{REF}_7	62	I/O	119	I/O	176	I/O_WRITE
6	I/O	63	I/O_V_{REF}_5	120	I/O_V_{REF}_3	177	I/O
7	I/O	64	I/O	121	I/O	178	I/O_V_{REF}_1
8	GND	65	I/O	122	I/O	179	I/O
9	I/O_V_{REF}_7	66	GND	123	GND	180	GND
10	I/O	67	I/O_V_{REF}_5	124	I/O_V_{REF}_3	181	I/O_V_{REF}_1
11	I/O	68	I/O	125	I/O	182	I/O
12	I/O_V_{REF}_7	69	I/O	126	I/O	183	I/O
13	I/O	70	I/O_V_{REF}_5	127	I/O_V_{REF}_3	184	I/O_V_{REF}_1
14	GND	71	I/O	128	I/O_D6	185	I/O
15	V_{CCINT}	72	GND	129	GND	186	GND
16	I/O	73	V_{CCINT}	130	V_{CCINT}	187	V_{CCINT}
17	I/O	74	I/O	131	I/O_D5	188	I/O
18	V_{CCO}	75	I/O	132	I/O	189	I/O
19	I/O	76	V_{CCO}	133	V_{CCO}	190	I/O
20	I/O	77	I/O	134	I/O	191	V_{CCO}
21	I/O_V_{REF}_7	78	I/O	135	I/O	192	I/O
22	I/O	79	I/O_V_{REF}_5	136	I/O_V_{REF}_3	193	I/O
23	I/O	80	I/O	137	I/O_D4	194	I/O_V_{REF}_1
24	I/O	81	I/O	138	I/O	195	I/O
25	I/O	82	I/O	139	I/O	196	I/O
26	I/O_TRDY	83	V_{CCINT}	140	V_{CCINT}	197	I/O
27	GND	84	GCK1	141	I/O_TRDY	198	I/O
28	V_{CCO}	85	V_{CCO}	142	V_{CCO}	199	GCK2
29	I/O_TRDY	86	GND	143	GND	200	GND
30	V_{CCINT}	87	GCK0	144	I/O_IRDY	201	V_{CCO}
31	I/O	88	I/O	145	I/O	202	GCK3

32	I/O	89	I/O	146	I/O	203	V_{CCINT}
33	I/O	90	I/O	147	I/O	204	I/O
34	I/O_V_{REF}_6	91	I/O	148	I/O_D3	205	I/O
35	I/O	92	I/O_V_{REF}_4	149	I/O_V_{REF}_2	206	I/O
36	I/O	93	I/O	150	I/O	207	I/O_V_{REF}_0
37	V_{CCO}	94	I/O	151	I/O	208	I/O
38	I/O	95	V_{CCO}	152	V_{CCO}	209	I/O
39	I/O	96	I/O	153	I/O	210	V_{CCO}
40	I/O	97	I/O	154	I/O	211	I/O
41	V_{CCINT}	98	I/O	155	I/O_D2	212	I/O
42	GND	99	V_{CCINT}	156	V_{CCINT}	213	I/O
43	I/O	100	GND	157	GND	214	V_{CCINT}
44	I/O_V_{REF}_6	101	I/O	158	I/O_D1	215	GND
45	I/O	102	I/O_V_{REF}_4	159	I/O_V_{REF}_2	216	I/O
46	I/O	103	I/O	160	I/O	217	I/O_V_{REF}_0
47	I/O_V_{REF}_6	104	I/O	161	I/O	218	I/O
48	GND	105	I/O_V_{REF}_4	162	I/O_V_{REF}_2	219	I/O
49	I/O	106	GND	163	GND	220	I/O_V_{REF}_0
50	I/O	107	I/O	164	I/O	221	GND
51	I/O_V_{REF}_6	108	I/O	165	I/O	222	I/O
52	I/O	109	I/O_V_{REF}_4	166	I/O_V_{REF}_2	223	I/O
53	I/O	110	I/O	167	I/O	224	I/O_V_{REF}_0
54	I/O	111	I/O	168	I/O_DIN_D0	225	I/O
55	M1	112	I/O	169	I/O_DOUT_BUSY	226	I/O
56	GND	113	GND	170	CCLK	227	TCK
57	M0	114	DONE	171	V_{CCO}	228	V_{CCO}

附录 2 电特性

除非另有规定，器件直流参数特性应符合附表 2-1 的规定。除非另有说明，器件总剂量辐照后的直流参数特性测试仅在 25℃条件下进行，应符合附表 2-1 的规定。

附表2-1 器件直流参数特性

测　试	符号	条件 2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	分组[注1]	极限值		单位
				最小值	最大值	
配置数据能保持的最低 V_{CCINT} 电压	V_{DRINT}	抽测一个 CLB 功能向量，配置后将 V_{CCINT} 降低到 2.0V，再恢复到 2.5V 直接进行功能测试。V_{CCO}=3.3V	A1,A2,A3	2.0	—	V
配置数据能保持的最低 V_{CCO} 电压	V_{DRIO}	抽测一个 CLB 功能向量，配置后将 V_{CCO} 降低到 1.2V，再恢复到 3.3V 直接进行功能测试。V_{CCINT}=2.5V		1.2	—	V
输出高电平电压	V_{OH}	I_{OH}=-24mA，V_{CCO}=3.0V，V_{CCINT}=min，LVTTL 协议		2.4	—	V
输出低电平电压	V_{OL}	I_{OL}=24mA，V_{CCO}=3.0V，V_{CCINT}=min，LVTTL 协议		—	0.4	V
V_{CCINT} 的静态电源电流	I_{CCINTQ}	V_{CCINT}=max，V_{CCO}=max（无输出电流负载，无激活输入上拉电阻，所有 I/O 端为三态浮空）		—	250	mA
V_{CCO} 的静态电源电流	I_{CCOQ}	V_{CCO}= max，V_{CCINT}=max（无输出电流负载，无激活输入上拉电阻，所有 I/O 端为三态浮空）	A1,A2,A3	—	10	mA
输入或输出漏电流	I_L	—		-10	10	μA
每一个 V_{REF} 腿的电流	I_{REF}	—		—	20	μA
输入输出电容	C_{in}，C_{out}	f =1.0MHz，V_{OUT} =0V	A4	—	16	pF
带上拉电阻的 pad 输入电流	I_{RPU}	V_{IN}=0V，V_{CCINT}=2.5V，V_{CCO}=3.3V	A1,A2,A3	—	0.25	mA
带下拉电阻的 pad 输入电流	I_{RPD}	V_{IN}=3.6V，V_{CCINT}=2.5V，V_{CCO}=3.3V		—	0.15	mA
功能测试	—	V_{CCINT}=2.375V、2. 5V、2.625V	A7,A8A,A8B	满足 6.2 的要求		

		V_{CCO}=3.3V		

除非另有规定，设计保证的开关参数特性应按附表2-2的规定。

附表2-2　内部开关参数特性

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
IOB 输入开关特性[a] 输入延迟仅是 LVTTL 电平的。对其他接口标准，可以通过调整，得到相应的延迟时间。						
传输延迟						
从 Pad 到 I 输出端，不经过延迟环节的传输延迟时间	T_{IOPI}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	1.0	ns
从 Pad 到 I 输出端，经过延迟环节的传输延迟时间	T_{IOPID}			—	1.9	
从 Pad 到 IQ 输出端，经过锁存器但不经过延迟环节的传输延迟时间	T_{IOPLI}			—	2.0	
从 Pad 到 IQ 输出端，经过锁存器并经过延迟环节的传输延迟时间	T_{IOPLID}			—	5.1	
时序延迟						
从时钟信号 CLK 到 IQ 输出端的延迟	T_{IOCKIQ}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	0.8	ns
IOB 输入寄存器的建立和保持时间[b]						
Pad 端信号	T_{IOPICK}/	2.375V≤V_{CCINT}≤2.625V，	A9，A10，	2.0/0	—	ns

不经延迟环节的建立保持时间	T_{IOICKP}	1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A11			

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
IOB 输入寄存器的建立和保持时间[b]						
Pad端信号经延迟环节的建立保持时间	$T_{IOPICKD}$/ $T_{IOICKPD}$	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	5.0/ 0	—	ns
ICE输入端信号的建立保持时间	T_{IOCECK}/ $T_{IOCKICE}$			1.0/ 0	—	
SR 输入保持时间	$T_{IOSRCKI}$/ $T_{IOCKISR}$		A9，A10，A11	1.3/ 0	—	ns
建立/重建						
SR 到 IQ 延迟（异步）	T_{IOSRIQ}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	1.8	ns
GSR 到 IQ 输出端的延迟	T_{GSRQ}		A9，A10，A11	—	12.5	ns
IOB 输出开关特性[a] 输出延迟特性是按 LVTTL 下 12mA 驱动和快速压摆率下的。对其他接口标准，可通过调整得到相应延迟时间。						
传播延迟						
O输入端到Pad的传输时间	T_{IOOP}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	3.5	ns
O 到 Pad 经过闭锁的传输延迟	T_{IOOLP}			—	4.0	
三态延迟						
T 输入到 Pad 高阻的传输延迟[c]	T_{IOTHZ}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	2.4	ns

T 输入到 Pad上数据有效的传输延迟	T_{IOTON}			—	3.7	
T 输入到 Pad 高阻	$T_{IOTLPHZ}$			—	3.0	
T输入到有效数据Pad	$T_{IOTLPON}$			—	4.2	
GTS 到 Pad 高阻 [c]	T_{GTS}			—	6.3	

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
有序延迟						
时钟 CLK 到 Pad 的延迟	T_{IOCKP}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	3.5	ns
时钟 CLK 到 Pad 高阻（异步）[c]	T_{IOCKHZ}			—	2.9	
时钟 CLK 数据有效 Pad 上数据有效（异步）	T_{IOCKON}			—	4.1	
建立和保持时间在时钟 CLK 之前/之后 [b]						
O 输入	T_{IOOCK}/T_{IOCKO}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	1.3/0	—	ns
O OCE 输入	$T_{IOOCECK}$/$T_{IOCKOCE}$			1.0/0	—	
SR 输入（关）	$T_{IOSRCKO}$/$T_{IOCKOSR}$			1.4/0	—	
三态建立时间，T 输入	T_{IOTCK}/T_{IOCKT}			0.9/0	—	
三态建立时间，TCE 输入	$T_{IOTCECK}$/$T_{IOCKTCE}$		9，10，11	1.1/0	—	ns
三态建立时间，SR 输入（TFF）	$T_{IOSRCKT}$/$T_{IOCKTSR}$			1.3/0	—	
建立/重新建立						

SR 输入到 Pad（异步）	T_{IOSRP}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	4.6	ns
SR 输入到 Pad 高阻（异步）	T_{IOSRHZ}			—	3.9	
SR 输入到数据有效 Pad（异步）	T_{IOSRON}			—	5.1	
时钟分配指南　　全时钟偏移						
IOB 触发器间全局时钟偏移[d]	$T_{GSKEWIOB}$	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	0.18	ns

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
时钟分配开关特性		GCLK IOB 和缓冲器				
全局时钟 Pad 到输出	T_{GPIO}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	0.9	ns
全局时钟缓冲器 I 输入到 O 输出	T_{GIO}			—	0.9	
CLB 开关特性[a] 组合延迟		在 F/G 端的输入会造成轻微的延迟变化。下面所列是最坏情况下参数。				
4 输入功能：F/G 输入到 X/Y 输出	T_{ILO}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	0.8	ns
5 输入功能：F/G 输入到 F5 输出	T_{IF5}			—	0.9	
5 输入功能：F/G 输入到 X 输出	T_{IF5X}			—	1.0	
6 输入功能：F/G 输入到 Y 输出通过 F6 MUX	T_{IF6Y}			—	1.2	
6 输入功能：F5IN 输入到 Y 输出	T_{F5INY}			—	0.5	
BY 输入到 YB 输出	T_{BYYB}			—	0.7	
建立和保持时间在时钟 CLK 之前/之后[b]						
4 输入功能：F/G 输入	T_{ICK}/T_{CKI}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	1.5/0	ns
5 输入功能：F/G 输入	T_{IF5CK}/T_{CKIF5}			—	1.7/0	
6 输入功	T_{F5INCK}			—	1.2/0	

能：F5IN 输入	T_{CKF5IN}					
6 输入功能：F/G 输入通过 F6 MUX	T_{IF6CK} T_{CKIF6}			—	1.9/0	

表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
建立和保持时间在时钟 CLK 之前/之后[b]						
BX/BY 输入	T_{DICK}/ T_{CKDI}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	0.8/0	ns
CE 输入	T_{CECK}/ T_{CKCE}			—	1.0/0	
SR/BY 输入（同步）	$T_{RCKTCKR}$			—	0.9/0	
时钟 CLK						
最小高电平脉宽	T_{CH}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	2.0	ns
最小低电平脉宽	T_{CL}			—	2.0	
置位/重置						
SR/BY 端最小脉宽	T_{RPW}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	3.3	ns
SR/BY 到 XQ/YQ 延迟（异步）	T_{RQ}			—	1.4	
GSR 到 XQ/YQ 的延迟	T_{IOGSRQ}			—	12.5	
CLB 算法开关特性[a]　建立时间没有列出，可以根据所列的建立时间调整延迟，大致的推算出。组合延迟						
F 基数输入到 X 通过 XOR	T_{OPX}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	1.0	ns
F 基数输入到 XB 输出	T_{OPXB}			—	1.4	
F 基数输入到 Y 通过 XOR	T_{OPY}			—	2.0	

F 基数输入到 YB 输出	T_{OPYB}			—	2.0	
F 基数输入到 COUT 输出	T_{OPCYF}			—	1.5	
G 基数输入到 Y 通过 XOR	T_{OPGY}			—	1.2	
G 基数输入到 YB 输出	T_{OPGYB}			—	2.1	

元坤智造

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
G 基数输入到 COUT 输出	T_{OPCYG}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	1.6	ns
BX 初始化输入到 COUT	T_{BXCY}			—	1.1	
CIN 输入到 X 输出通过 XOR	T_{CINX}			—	0.6	
CIN 输入到 XB	T_{CINXB}		A9，A10，A11	—	0.1	ns
CIN 输入到 Y 通过 XOR	T_{CINY}			—	0.6	
CIN 输入到 YB	T_{CINYB}			—	0.6	
CIN 输入到 COUT 输出	T_{BYP}			—	0.2	
乘法器运行						
F1/2 基数输入到 XB 输出通过 AND	T_{FANDXB}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	0.5	ns
F1/2 基数输入到 YB 输出通过 AND	T_{FANDYB}			—	1.1	
F1/2 基数输入到 COUT 输出通过 AND	T_{FANDCY}			—	0.6	
G1/2 基数输入到 YB 输出通过 AND	T_{GANDYB}			—	0.7	
G1/2 基数输入到 COUT 输出通过 AND	T_{GANDCY}			—	0.2	
建立和保持时间在时钟 CLK 之前/后[b]						
CIN 输入到 FFX	T_{CCKX}/T_{CKCX}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	1.3/0	ns
CIN 输入到	T_{CCKY}/T_{CK}			—	1.4/	

FFY	CY				0	

元坤智造

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
CLB 的 SeletRAM 开关特性[a] 时序延迟						
时钟 CLK 到 X/Y 输出（WE 激活）	T_{SHCKO}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	3.0	ns
时钟 CLK 到 X/Y 输出				—	3.0	
建立和保持时间在时钟 CLK 之前/之后[b]						
F/G 地址输入	T_{AS}/T_{AH}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	0.7/0	—	ns
BX/BY 数据输入（DIN）	T_{DS}/T_{DH}			0.9/0	—	
CE 输入（WE）	T_{WS}/T_{WH}			1.0/0	—	
移位寄存器模式						
BX/BY 数据输入（DIN）	T_{SHDICK}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	0.9	—	ns
CE 输入（WS）	T_{SHCECK}			1.0	—	
时钟 CLK						
最小脉冲宽度，高	T_{WPH}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	3.1	—	ns
最小脉冲宽度，低	T_{WPL}			3.1	—	
最小时钟周期达到地址写周期时间	T_{WC}			6.2	—	
移位寄存器模式						
最小脉冲宽度，高	T_{SRPH}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	3.1	—	ns
最小脉冲宽度，低	T_{SRPL}			3.1	—	
BRAM 开关特性[a]　　有序延迟						
时钟 CLK 到	T_{BCKO}	2.375V≤V_{CCINT}≤2.625V，	A9，A10，	—	4.1	ns

DOUT 输出		1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A11			

元坤智造

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
建立和保持时间在时钟 CLK 之前/后[b]						
ADDR 输入	$T_{BACK/BCKA}$	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	1.5/0	—	ns
DIN 输入	$T_{BDCK/BCKD}$			1.5/0	—	
EN 输入	$T_{BECK/BCKE}$			3.4/0	—	
RST 输入	$T_{BRCK/BCKR}$			3.2/0	—	
WEN 输入	$T_{BWCK/BCKW}$			3.0/0	—	
时钟 CLK						
最小脉冲宽度，高	T_{BPWH}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	2.0	—	ns
最小脉冲宽度，低	T_{BPWL}			2.0	—	
CLKA→CLKB 建立时间对不同端	T_{BCCS}			4.0	—	
TBUF 开关特性 组合延迟						
IN 输入到 OUT 输出[a]	T_{IO}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	0	—	ns
TRI 输入到 OUT 输出，高阻[a]	T_{OFF}			0.2	—	
TRI 输入到 OUT 输出上地址有效[a]	T_{ON}			0.2	—	
JTAG 测试端口开关特性						
TMS 和 TDI 建立时间在 TCK 前[a]	T_{TAPTCK}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	4.0	—	ns
TMS 和 TDI 保持时间在 TCK 后[a]	T_{CKTAP}			2.0	—	
输出延迟从时钟 TCK 到输出 TDO[g]	T_{TCKDO}			—	11.0	
最大 TCK 时钟频率[g]	F_{TCK}			—	33	MHz

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
Pin to Pin 输入参数指导 全时钟输入到输出延迟，LVTTL，12mA，快速翻转速率，带 DLL（$T_{ICKOFDLL}$），不带 DLL（T_{ICKOFF}）						
LVTTL-F12[g]	$T_{ICKOFDLL}$	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9,A10,A11	—	3.6	ns
LVTTL-F12[g]	T_{ICKOFF}		A9,A10,A11	—	5.9	ns
最小时钟到输出 I/O 标准				最小值		
				带 DLL	不带 DLL	
LVTTL-S2[a e]	—	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	9，10，11	5.2	6.1	ns
LVTTL-S4[a e]	—			3.5	4.4	
LVTTL-S6[a e]	—			2.8	3.7	
LVTTL-S8[a e]	—			2.2	3.1	
LVTTL-S12[a e]	—			2.0	2.9	
LVTTL-S16[a e]	—			1.9	2.8	
LVTTL-S24[a e]	—			1.8	2.7	
LVTTL-F2[a e]	—			2.9	3.8	
LVTTL-F4[a e]	—			1.7	2.6	
LVTTL-F6[a e]	—			1.2	2.1	
LVTTL-F8[a e]	—			1.1	2.0	
LVTTL-F12[a e]	—			1.0	1.9	
LVTTL-F16[a e]	—			0.9	1.8	
LVTTL-F24[a e]	—			0.9	1.8	
LVCMOS2[a]	—			1.1	2.0	
PCI33-3[a]	—			1.5	2.4	
PCI33-5[a]	—			1.4	2.3	
PCI66-3[a]	—			1.1	2.0	
GTL[a]	—			1.6	2.5	
GTL+[a]	—			1.7	2.6	
HSTL Ⅰ[a]	—			1.1	2.0	
HSTL Ⅲ[a]	—			0.9	1.8	
HSTL Ⅳ[a]	—			0.8	1.7	
SSTL2 Ⅰ[a]	—			0.9	1.8	
SSTL2 Ⅱ[a]	—			0.8	1.7	
SSTL3 Ⅰ[a]	—			0.8	1.7	
SSTL3 Ⅱ[a]	—			0.7	1.6	
CTT[a]	—			1.0	1.9	
AGP[a]	—			1.0	1.9	

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
Pin to Pin 输入参数指导[g] 全时钟建立和保持时间，LVTTL 标准，带 DLL						
无延迟，全时钟和 IFF，带 DLL	T_{PSDLL}／T_{PHDLL}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	2.1/-0.4	—	ns
全延迟，全时钟和 IFF，不带 DLL	T_{PSFD}／T_{PHFD}			3.1/0.0	—	
DLL 时序参数						
输入时钟频率（CLKDLLHF）[f]	$F_{CLKINHF}$	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	60	180	MHz
输入时钟频率（CLKDLL）[f]	$F_{CLKINLF}$			25	90	
输入时钟脉冲宽度（CLKDLLHF）[a]	$T_{DLLPWHF}$			2.4	—	ns
输入时钟脉冲宽度（CLKDLL）[a]	$T_{DLLPWLF}$			3.0	—	
CLKDLLHF[a]						
输入时钟周期误差	T_{IPTOL}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃	A9，A10，A11	—	1.0	ns
输入时钟抖动（周期到周期）	T_{IJITCC}			—	±150	ps
DLL 到锁定时间	T_{LOCK}	f_{CLKIN}＞60MHz		—	20	μs
DLL 输出偏斜（在任何 DLL 输出之间）	T_{SKEW}	2.375V≤V_{CCINT}≤2.625V， 1.2V≤V_{CCO}≤3.6V， -55℃≤T_A≤125℃		—	±150	ps
DLL 输出长期阶段微分	T_{OPHASE}			—	±100	ps
DLL 输出抖动（周期到周期）	T_{OJITCC}			—	±60	ps

附表2-2（续）

测　试	符号	条件	分组[注1]	极限值		单位
				最小值	最大值	
CLKDLL [a]						
输入时钟周期误差	T_{IPTOL}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃	A9，A10，A11	—	1.0	ns
输入时钟抖动（周期到周期）	T_{IJITCC}			—	±300	ps
DLL 到锁定时间	T_{LOCK}	f_{CLKIN}＞60MHz	A9，A10，A11	—	20	μs
DLL 输出偏斜（在任何 DLL 输出之间）	T_{SKEW}	2.375V≤V_{CCINT}≤2.625V，1.2V≤V_{CCO}≤3.6V，-55℃≤T_A≤125℃		—	±150	ps
DLL 输出长期阶段微分	T_{OPHASE}			—	±100	
DLL 输出抖动（周期到周期）	T_{OJITCC}			—	±60	

[a] 该参数为设计保障参数，在设计过程中通过仿真工具验证保障的项目，在鉴定检验和质量一致性检验时不进行测试。

[b] “0”保持时间表示无保持时间或保持时间为负。负值不能证明是“最好情况”，然而，如果是“0”，则没有正保持时间。

[c] 不应调整三态关断延迟。

[d] 时钟斜率延迟仅作为指导。每个用户设计电路的精确值，由时序分析器提供。

[e] S 表示慢翻转速率，F 表示快翻转速率。

[f] 该参数为当前可测参数，为鉴定检验和质量一致性检验时进行测试的项目。

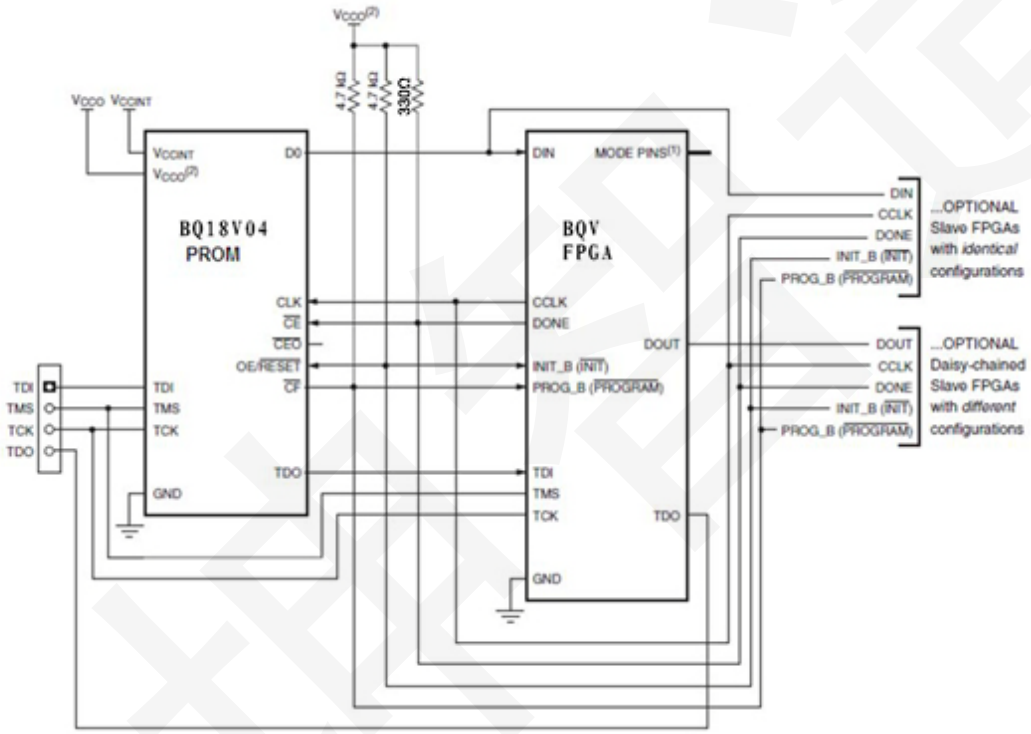
[g] 该参数为适用时测试参数，为当前条件下在设计过程中通过模拟工具验证，当测试条件满足时需要进行测试的项目。

[注1] A1(25℃下静态测试)、A2(125℃下静态测试)、A3(-55℃下静态测试)、A4(25℃下动态测试)、A7(25℃下功能测试)、A8a(125℃下功能测试)、A8b(2-55℃下功能测试)、A9(25℃下开关测试)、A10（125℃下开关测试)、A11(-55℃下开关测试)

附录 3 典型应用

附 3.1 板级设计

连接方式如附图 3-1 和附图 3-2 所示。



附图 3-1_YKVR300 主动串行配置模式

针对 YKVR300 特性及技术指标，提供板级应用建议如下：

•应严格按照手册中参考设计电路连接(如 INIT、PROGRAM、DONE 等特殊引脚的处理方式)。

•器件在印制电路板上的布局布线要考虑信号间串扰，以及用户产品研制任务中的各种考核试验（比如力学试验、电磁兼容试验等）等因素。

•配置电路的选择和设计如无特殊需求，推荐使用主串配置模式。设计中要加强配置时钟线的保护，避免由于配置时钟线受干扰而引起配置失败。

•推荐使用有源晶振完成时钟模块的设计，时钟信号应输入至 FPGA 全局时钟网络。时钟线路应尽可能短，同时防止时钟信号的反射。

•为了能让 FPGA 性能达到最优，整体资源利用率控制在 70%内，管脚利用率控制在 80%

内，使用频率不超过最大频率的 70%，并且要避免同一 Bank 大量 I/O 同时翻转。

•建议用户在板级应用前做相应的板级可靠性试验，推荐板级试验项目为温度循环、热冲击（可选）、振动、恒定加速度（可选）等。力学试验（机械冲击、振动、恒定加速度等），应制作合适的试验夹具，避免陶瓷部分悬空。为保证板级安装可靠性，推荐在器件焊接后，采用专用胶对器件进行加固，加固方式建议采用局部粘固。对引出端板级可靠性风险，用户需自行承担。

附 3.2 电源模块

SRAM 型 FPGA 对电源环境有一定的要求，用户在进行功能开发前应全面了解 YKVR300 的上电特性，包括：

- 在上电的瞬间 YKVR300 的内核会产生浪涌电流，产生的内核瞬态电流的范围大约是 0.5A~2A，在某些恶劣环境下，如温度达到特定区间时，上电会消耗更多的电流；
- 由于 YKVR300 及 Xilinx 公司 XQVR300 上电时对上电斜率有一定的要求，因此在电源选型时要求选用上电时间(指 Vccint 由 0V 爬升到 2.5V、Vcco 由 0V 爬升到 3.3V 的时间)小于 1ms、稳定输出电流大于 2A 的电源芯片，建议应用前先进行板级测试，确定在各种温度下该电源芯片与 YKVR300 的适应性；
- 电源电压的爬坡曲线必须单调上升，不得出现平台期；
- 内核电压 Vccint 应当独立供电，不可将内核供电电源用于其它芯片或者元件；
- 对 Vccint、Vcco 的上电先后顺序无特别要求，建议同时上电；
- Xilinx 公司产品也有类似说明，具体见 XAPP158、XAPP451。

附 3.3 成型尺寸

针对 YKVR300 产品 CQFP228 封装形式，航天七七二所具有两种成型标准：一种标准与原厂兼容；另外一种为航天标准。请用户根据自身需求选择相应的成型标准。

附 3.3 配置时钟

YKVR300 器件可支持最高设定配置时钟 CCLK 为 60MHz 的配置，实际配置频率约为 24MHz 左右。

YKVR300 软件设定值与器件实际值对应如表 3-1，实际应用中应考虑±45%余量。

附表 3-1 YKVR300 器件 CCLK 频率设定值与实际值对应关系

控制码	设定频率（MHz）	实际频率（MHz）
101101	60	24.4
110100	55	17.9
101010	51	19.6
110011	45	14.1
100111	41	14.3
110010	34	10.3
011101	30	12.2
011010	26	9.7
010111	20	7.1
001101	15	6
001010	13	4.85
000111	10	3.58
000110	9.2	3.15
000101	8.1	2.69
000100	6.9	2.23
010001	5.4	1.56
000010	4	1.28
000000	2.5	0.778